

**Family list**3 family members for: **JP2002033962**

Derived from 3 applications

[Back to JP2002033](#)**1 IMAGE PICKUP DEVICE AND ITS DRIVE CONTROL METHOD****Inventor:** YOSHIMURA SHINICHI; UEDA KAZUHIKO **Applicant:** SONY CORP**EC:** H04N3/15E; H04N5/335**IPC:** G03B7/081; G03B7/091; G03B19/02 (+17)**Publication info:** **JP2002033962 A** - 2002-01-31**2 Imaging device ,and its drive control method****Inventor:** YOSHIMURA SHINICHI (JP); UEDA KAZUHIKO (JP) **Applicant:****EC:** H04N3/15E; H04N5/335**IPC:** G03B7/081; G03B7/091; G03B19/02 (+12)**Publication info:** **US2002154233 A1** - 2002-10-24**3 IMAGING DEVICE, AND ITS DRIVE CONTROL METHOD****Inventor:** YOSHIMURA SHINICHI (JP); UEDA KAZUHIKO (JP) **Applicant:** SONY CORP (JP); YOSHIMURA SHINICHI (JP); (+1)**EC:** H04N3/15E; H04N5/335**IPC:** G03B7/081; G03B7/091; G03B19/02 (+13)**Publication info:** **WO0186946 A1** - 2001-11-15

---

Data supplied from the **esp@cenet** database - Worldwide



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-33962

(P2002-33962A)

(43)公開日 平成14年1月31日(2002.1.31)

(51) Int.Cl.<sup>7</sup>  
H 0 4 N 5/335  
  
G 0 3 B 7/081  
7/091  
19/02

識別記号

F I  
H O 4 N 5/335  
  
G 0 3 B 7/081  
7/091  
19/02

テマコード(参考)  
C 2H002  
D 2H054  
4M118  
5C024  
5J022

審査請求 未請求 請求項の数18 OL (全 40 頁) 最終頁に統く

(21)出願番号 特願2001-24493(P2001-24493)  
(22)出願日 平成13年1月31日(2001.1.31)  
(31)優先権主張番号 特願2000-134686(P2000-134686)  
(32)優先日 平成12年5月8日(2000.5.8)  
(33)優先権主張国 日本(JP)

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号

(72)発明者 吉村 真一  
東京都品川区東五反田1丁目14番10号 株  
式会社ソニー木原研究所内

(72)発明者 上田 和彦  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(74)代理人 100101801  
弁理士 山田 英治 (外2名)

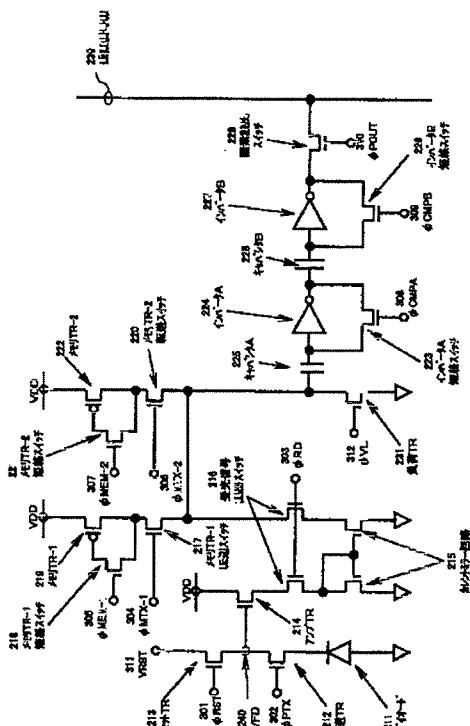
最終頁に統ぐ

(54) 【発明の名称】 撮像装置及びその駆動制御方法

(57) 【要約】

【課題】 受光信号のA/D変換とその他の演算を同一回路上で実現する。

【解決手段】 撮像装置は、被写体の明るさに応じた電気信号を発生する受光部と、受光信号を増幅する増幅部と、増幅電気信号を電流信号として記憶する複数の記憶部と、各記憶部の電流出力を電圧に変換する負荷部と、負荷部の出力信号を演算する演算部と、演算結果を外部出力する出力部と、各部の駆動を制御する駆動制御部とで構成される。1つの記憶部に記憶される基準信号レベルと、他の記憶部に時間的に積分しながら記憶されるは被写体の明るさを比較して、明るさ信号が基準信号を越えた時間に基づいて被写体の明るさをAD変換する。



【特許請求の範囲】

【請求項1】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部と、前記各部の駆動を制御する駆動制御部を具備し、

前記駆動制御部は、1つの記憶部に基準信号レベルに相当する電流信号を記憶させるとともに、他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶させ、各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理せしめる駆動制御モードを有し、  
前記演算部は、被写体の明るさ信号が基準信号レベルを越えた瞬間に識別信号を出力することを特徴とする撮像装置。

【請求項2】前記駆動制御部は、前記複数の記憶部の各々に異なる時刻における被写体の明るさに相当する電流信号を記憶させるとともに、各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理せしめる他の駆動制御モードを有し、

前記演算部は、被写体の明るさが変化した瞬間に識別信号を出力することを特徴とする請求項1に記載の撮像装置。

【請求項3】前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする請求項1に記載の撮像装置。

【請求項4】前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする請求項1に記載の撮像装置。

【請求項5】前記の各部を画素毎に有し、多数の画素を縦横のマトリックス状に配置した光学エリアと、該光学エリア内に配置された各画素を駆動する信号を発生する駆動回路と、各画素からの出力信号を外部に出力する出力回路とが同一回路チップ上に実装されている、ことを特徴とする請求項1に記載の撮像装置。

【請求項6】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部とで構成される撮像装置の駆動制御方法であって、(a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶する Stephan と、(b) 他の記憶部に被写体の明るさに相当する電流信号を時間的に積

分しながら記憶する Stephan と、(c) 各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理する Stephan と、(d) 被写体の明るさ信号が基準信号レベルを越えた瞬間に前記演算部が識別信号を出力する Stephan と、で構成される駆動制御モードを実現して、前記 Stephan (d) における識別信号出力によって計測される被写体の明るさが基準信号レベルを越えるまでの経過時間を計測し、該計測結果に基づきアナログ量である被写体の明るさをデジタル量に変換することを特徴とする撮像装置の駆動制御方法。

【請求項7】さらに、(p) 前記複数の記憶部の各々に異なる時刻における被写体の明るさに相当する電流信号を記憶する Stephan と、(q) 各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理する Stephan と、(r) 前記演算部が被写体の明るさが変化した瞬間に識別信号を出力する Stephan と、で構成される他の駆動制御モードを実現して、被写体の明るさの時間的な変化を高速に演算することを特徴とする請求項6に記載の撮像装置の駆動制御方法。

【請求項8】前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする請求項6に記載の撮像装置の駆動制御方法。

【請求項9】前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする請求項6に記載の撮像装置の駆動制御方法。

【請求項10】前記の各部は同一回路チップ上に実装されていることを特徴とする請求項6に記載の撮像装置の駆動制御方法。

【請求項11】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読み出した信号を入力して比較する比較部と、前記比較部における比較結果を画素信号として出力する出力部とを具備し、

1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに相当する電流信号を記憶し、

前記比較部は、該1つの記憶部から入力される基準信号レベルを時間的に徐々に上昇させながら他の記憶部から入力される信号と比較する、ことを特徴とする撮像装置。

【請求項12】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読み出された信号を入力して比較する比較部と、前記比較部

に入力される各信号に対してバイアス信号を付加するバイアス部と、前記比較部における比較結果を画素信号として出力する出力部とを具備し、

1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに相当する電流信号を記憶し、

前記バイアス部は、該1つの記憶部から前記比較部に入力される信号に対して基準信号レベルが時間的に徐々に上昇するようにバイアス信号を付加する、ことを特徴とする撮像装置。

【請求項13】前記增幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする請求項12に記載の撮像装置。

【請求項14】前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする請求項12に記載の撮像装置。

【請求項15】前記の各部を画素毎に有し、多数の画素を縦横のマトリックス状に配置した光学エリアと、該光学エリア内に配置された各画素を駆動する信号を発生する駆動回路と、各画素からの出力信号を外部に出力する出力回路とが同一回路チップ上に実装されている、ことを特徴とする請求項12に記載の撮像装置。

【請求項16】被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部とを備え、前記の各記憶部から読み出した信号の比較結果を画素信号として出力するタイプの撮像装置の駆動制御方法であって、(a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、(b) 他の記憶部に被写体の明るさに相当する電流信号を記憶するステップと、(c) 該1つの記憶部から読み出される基準信号レベルを時間的に徐々に上昇させるステップと、(d) 前記ステップ(c)により時間的に徐々に上昇された基準信号レベルと該他の記憶部から読み出される電流信号を比較するステップと、(e) 前記ステップ(d)による比較結果を画素出力として出力するステップと、を具備することを特徴とする撮像装置の駆動制御方法。

【請求項17】前記增幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含み、カレント・ミラーの原理に従い電流信号を増幅することを特徴とする請求項16に記載の撮像装置の駆動制御方法。

【請求項18】前記記憶部は、カレントコピアの原理に従って電流信号を記憶することを特徴とする請求項16に記載の撮像装置の駆動制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、小型・軽量に構成された撮像装置及びその駆動制御方法に係り CMOS

(Complementary Metal-Oxide Semiconductor : 相補性金属酸化膜半導体)などの半導体製造技術を用いて実現される撮像装置及びその駆動制御方法に関する。

【0002】更に詳しくは、本発明は、各画素における検出信号を処理するためのさまざまな回路モジュールを同じチップ上に集積してなる撮像装置及びその駆動制御方法に係り、特に、画素信号に対する A/D (Analog-to-Digital) 変換処理並びに他の 1 以上の演算処理と同じチップ上の回路モジュールを用いて実現する撮像装置及びその駆動制御方法に関する。

【0003】

【従来の技術】昨今の半導体製造技術の急速な進歩とも相俟って、比較的安価な撮像素子が入手可能となってきた。この結果、携帯電話や PDA (Personal Digital Assistant) などの携帯端末において、小型のカメラを付属あるいは搭載した機器が開発され、市場に流通し始めている。ところが、これらの携帯端末は、小型軽量を特徴とするので、搭載されるカメラも小型軽量でなければならない。また、携帯型機器は、一般にバッテリ駆動式であるため、機器本体のみならずその付属・搭載部品も、低消費電力であることが求めらる。

【0004】一般的に、カメラといえば CCD (Charge Coupled Device : 電荷結合素子) センサを用いたものを思い浮かべることができる。CCDとは、MOS (Metal Oxide Semiconductor) 型電極をチェーンのように配設して構成される集積回路のことであり、半導体表面の電荷のある電極から次の電極へと順次転送する機能を利用して、撮像した画像データを出力するようになっている。ところが、CCD センサは電源電圧が複数必要であることや、消費電力が比較的大きいといった点から上記のような携帯機器のような用途には向いているとは言い難い。

【0005】他方、CMOS (Complementary Metal-Oxide Semiconductor : 相補性金属酸化膜半導体) イメージ・センサが次世代のイメージ・センサとして注目を浴び始めている。

【0006】CMOS 技術を用いて実装されるこのタイプのイメージ・センサであれば、小型・軽量化や、低消費電力などの仕様を満足させることができる。また、イメージ・センサと同一のチップ上に、CMOS 技術で実現できる様々な回路部品を集積することができる。特に、センサ上の各画素におけるフォト・ダイオード出力をノイズ除去並びにゲイン補正を経た後、アナログ値からデジタル値に変換して、さらにはデジタル信号のまま画像処理を行うといった機能を同一チップ上に搭載した CMOS イメージ・センサに関する報告も幾つかなされている。特に、センサ上で画像処理を行う機能を搭載した、いわゆる「スマート・センサ」は、ゲーム用からセキュリティ用途に至るまで幅広く利用されるものとして期待されている。

【0007】CMOSイメージ・センサに関する特集記事としては、例えば、「ディジタル画像処理機能を持つCMOSイメージセンサ」（映像情報メディア学会誌 Vol.53, No.2, pp.172~177, 1999）が挙げられる。

【0008】また、論文としては、“CMOS Active Pixel Sensor with On-Chip Successive Approximation Analog-To-Digital Converter” (Zhimin Zhou et al., IEEE Transactions On Electron Devices, Vol.44, No.10, 1997) が挙げられる。

【0009】さらに米国特許としては、1998年9月1日付けで発行された米国特許第5,801,657号明細書（発明の名称：SERIAL ANALOG-TO-DIGITAL CONVERTER USING SUCCESSIVE COMPARISONS）などが存在する。

【0010】しかしながら、先行するこれらの技術のほとんどが、撮像素子と同一のチップ上に、画素毎、あるいは画素列毎に専用のアナログ／デジタル・コンバータ（以下、「ADコンバータ」とする）を搭載することによって所望の機能を実現するものである。したがって、画素出力に対してADコンバータ以外の処理を行うためには、さらに別の回路を集積する必要があり、イメージ・センサ・チップ全体の回路規模が大きくならざるを得ないという問題がある。

【0011】さらに、上述した各先行技術においては、画素毎に必要不可欠な増幅トランジスタや読み出しへトランジスタの特性ばらつきに起因する固定パターン・ノイズを除去するための回路が別途必須となるので、回路構成はますます複雑になってしまう。

【0012】また、スマート・センサに関する文献の中には、明るいシーンでも飽和せずに、暗いシーンも埋もれず再現することができる、ダイナミック・レンジの広い撮像結果が得られるものについて報告がある。この種の先行技術として、フォト・ダイオード出力をMOSトランジスタのサブスレッショルド領域における電流特性を利用して対数変換を施すもの（萩原他著「対数変形型CMOSエリア固体撮像素子」、映像情報メディア学会誌 Vol.54, No.2, pp.224~228, 2000）や、フォト・ダイオード出力が飽和した回数をカウントして、その回数を明るさに換算するもの（宮川他著「マルチ蓄積時間受光素子」、映像情報メディア学会誌 Vol.51, No.2, pp.256~262, 1997；伊野他著「蓄積中間画像を用いたイメージセンサ上のA/D変換」、映像情報メディア学会誌 Vol.54, No.2, pp.297~300, 2000）などが挙げられる。

【0013】しかしながら、前者のフォト・ダイオード出力をMOSトランジスタのサブスレッショルド領域における電量特性を利用して対数変換を施すタイプの場合、入射光量が急激に減少した場合の応答性に問題があつたり、低照度におけるノイズの影響、あるいは画素内回路の特性ばらつきによる固定パターン・ノイズの増大

といった弊害が生じるなどの問題がある。

【0014】また、後者のフォト・ダイオード出力が飽和した回数をカウントして明るさに換算するタイプの場合には、信号を電圧として記憶したり比較したりするので、高速な処理が困難となり、アナログからデジタルへの変換後のビット数が充分でないという問題がある。

【0015】

【発明が解決しようとする課題】本発明の目的は、小型・軽量に構成された優れた撮像装置及びその駆動制御方法を提供することにある。

【0016】本発明の更なる目的は、CMOS (Complementary Metal-Oxide Semiconductor : 相補性金属酸化膜半導体) などの半導体製造技術を用いて実現される、優れた撮像装置及びその駆動制御方法を提供することにある。

【0017】本発明の更なる目的は、各画素における検出信号を処理するためのさまざまな回路モジュールを同じチップ上に集積してなる、優れた撮像装置及びその駆動制御方法を提供することにある。

【0018】本発明の更なる目的は、画素信号に対するAD (Analog-to-Digital) 変換処理並びに他の1以上の演算処理を同じチップ上の回路モジュールを用いて実現することができる、優れた撮像装置及びその駆動制御方法を提供することにある。

【0019】本発明の更なる目的は、受光信号強度をアナログ値からデジタル値に変換する際に、同時にダイナミック・レンジを拡大して、暗い領域から明るい領域に至るまで再現した画像を得ることができる、優れた撮像装置及びその駆動制御方法を提供することにある。

【0020】

【課題を解決するための手段】本発明は、上記課題を参考してなされたものであり、その第1の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部と、前記各部の駆動を制御する駆動制御部を具備し、前記駆動制御部は、1つの記憶部に基準信号レベルに相当する電流信号を記憶させるとともに、他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶させ、各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理せしめる駆動制御モードを有し、前記演算部は、被写体の明るさ信号が基準信号レベルを越えた瞬間に識別信号を出力することを特徴とする撮像装置である。

【0021】本発明の第1の側面に係る撮像装置において前記駆動制御部は、前記複数の記憶部の各々に異な

る時刻における被写体の明るさに相当する電流信号を記憶させるとともに、各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理せしめる他の駆動制御モードを有してもよい。このような場合、前記演算部は、被写体の明るさが変化した瞬間に識別信号を出力するようにしてもよい。

【0022】また、前記増幅部は、ゲート電極同士を対向して接続したミラー・トランジスタを含んでもよい。このような場合、前記増幅部は、カレント・ミラーの原理に従い電流信号を増幅することができる。

【0023】また、前記記憶部は、カレントコピアの原理に従って電流信号を記憶するようにしてもよい。

【0024】また、CMOS (Complementary Metal-Oxide Semiconductor : 相補性金属酸化膜半導体) 製造技術を利用することによって、前記の各部を同一回路チップ上に実装するようにしてもよい。例えば、前記の各部を画素毎に有し、多数の画素を縦横のマトリックス状に配置した光学エリアと、該光学エリア内に配置された各画素を駆動する信号を発生する駆動回路と、各画素からの出力信号を外部に出力する出力回路とが同一回路チップ上に実装して、撮像素子を構成することができる。このような撮像素子により撮像した画像フレームを、所定のフレーム・メモリに一時格納したり、デジタルアナログ変換して、NTSC (National Television System Committee) 形式又はVGA (Video Graphic Array) 形式の表示装置上で画面出力することができる。

【0025】また、本発明の第2の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記記憶部からの電流出力を電圧に変換する負荷部と、前記負荷部の出力信号を演算する演算部と、前記演算部における演算結果を外部に出力する出力部とで構成される撮像装置の駆動制御方法であって、(a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、(b) 他の記憶部に被写体の明るさに相当する電流信号を時間的に積分しながら記憶するステップと、(c) 各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを前記演算部において比較処理するステップと、(d) 被写体の明るさ信号が基準信号レベルを越えた瞬間に前記演算部が識別信号を出力するステップと、で構成される駆動制御モードを実現することを特徴とする撮像装置の駆動制御方法である。前記ステップ(d)において出力される識別信号によって被写体の明るさが基準信号レベルを越えるまでの経過時間を計測することができる。そして、この経過時間に基づいて、アナログ量である被写体の明るさをデジタル量に変換することができる。

【0026】本発明の第2の側面に係る撮像装置の駆動

制御方法は、さらに、(p) 前記複数の記憶部の各々に異なる時刻における被写体の明るさに相当する電流信号を記憶するステップと、(q) 各記憶部から読み出された電流信号に基づいて各時刻における被写体の明るさを前記演算部において比較処理するステップと、(r) 前記演算部が被写体の明るさが変化した瞬間に識別信号を出力するステップと、で構成される他の駆動制御モードを実現してもよい。このような場合、被写体の明るさの時間的な変化を高速に演算することができる。

【0027】また、本発明の第3の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読み出した信号を入力して比較する比較部と、前記比較部における比較結果を画素信号として出力する出力部とを具備し、1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに相当する電流信号を記憶し、前記比較部は、該1つの記憶部から入力される基準信号レベルを時間的に徐々に上昇させながら他の記憶部から入力される信号と比較することを特徴とする撮像装置である。

【0028】本発明の第3の側面に係る撮像装置によれば、受光部が被写体の明るさに応じて発生する電気信号は、増幅部により増幅された後、記憶部の1つに記憶される。そして、記憶部から電気信号を読み出して、これを基準信号レベルと比較することにより画素出力を得る。

【0029】ここで、暗い光を検出して明るさとして表現するためには基準信号レベルを上げる必要がある一方、明るい光を検出して表現するためには基準信号レベルを下げる必要がある。そこで、本発明の第3の側面に係る撮像装置によれば、比較部は、1つの記憶部から入力される基準信号レベルを時間的に徐々に上昇させながら他の記憶部から入力される信号と比較するようになった。したがって、明るい光が検出される時間的に早い期間では基準レベルを低く設定しておき、時間の経過とともに基準レベルを徐々に上げていくことにより、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現することができる。

【0030】また、本発明の第4の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部と、前記の各記憶部から読み出した信号を入力して比較する比較部と、前記比較部に入力される各信号に対してバイアス信号を付加するバイアス部と、前記比較部における比較結果を画素信号として出力する出力部とを具備し、1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部に被写体の明るさに

相当する電流信号を記憶し、前記バイアス部は、該1つの記憶部から前記比較部に入力される信号に対して基準信号レベルが時間的に徐々に上昇するようにバイアス信号を付加する、ことを特徴とする撮像装置である。

【0031】本発明の第4の側面に係る撮像装置によれば、受光部が被写体の明るさに応じて発生する電気信号は、增幅部により増幅された後、記憶部の1つに記憶される。そして、比較部は、1つの記憶部から読み出された電流信号を基準信号レベルとして、他の記憶部から読み出される被写体の明るさに相当する電流信号と比較して、画素出力を得ることができる。

【0032】上述したように、暗い光を検出して明るさとして表現するためには基準信号レベルを上げる必要がある一方、明るい光を検出して表現するためには基準信号レベルを下げる必要がある。そこで、本発明の第4の側面に係る撮像装置によれば、バイアス部は、該1つの記憶部から前記比較部に入力される信号に対して基準信号レベルが時間的に徐々に上昇するようにバイアス信号を付加することによって、比較部に対して時間的に徐々に上昇する基準信号レベルを供給するようにした。したがって、明るい光が検出される時間的に早い期間では基準レベルを低く設定しておくと、時間の経過とともに基準レベルを徐々に上げていくことにより、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現することができる。

【0033】また、本発明の第5の側面は、被写体の明るさに応じた電気信号を発生する受光部と、前記受光部の出力信号を増幅する増幅部と、前記増幅部において増幅された電気信号を電流信号として記憶する複数の記憶部とを備え、前記の各記憶部から読み出した信号の比較結果を画素信号として出力するタイプの撮像装置の駆動制御方法であって、(a) 1つの記憶部に基準信号レベルに相当する電流信号を記憶するステップと、(b) 他の記憶部に被写体の明るさに相当する電流信号を記憶するステップと、(c) 該1つの記憶部から読み出される基準信号レベルを時間的に徐々に上昇させるステップと、(d) 前記ステップ(c)により時間的に徐々に上昇された基準信号レベルと該他の記憶部から読み出される電流信号を比較するステップと、(e) 前記ステップ(d)による比較結果を画素出力として出力するステップと、を具備することを特徴とする撮像装置の駆動制御方法である。

【0034】本発明の第5の側面に係る撮像装置の駆動制御方法によれば、受光部が被写体の明るさに応じて発生する電気信号は、増幅部により増幅された後、記憶部の1つに記憶される。そして、1つの記憶部から読み出された電流信号を基準信号レベルとして、他の記憶部から読み出される被写体の明るさに相当する電流信号と比較することによって、画素出力を得ることができる。

【0035】上記したように、暗い光を検出して明るさ

として表現するためには基準信号レベルを上げる必要がある一方、明るい光を検出して表現するためには基準信号レベルを下げる必要がある。そこで、本発明の第5の側面に係る撮像装置の駆動制御方法によれば、1つの記憶部から読み出される基準信号レベルを時間的に徐々に上昇させ、かかる基準信号レベルを他の記憶部から読み出される被写体の明るさに相当する電流信号と比較して、画素出力を得るようにした。したがって、明るい光が検出される時間的に早い期間では基準レベルを低く設定しておくとともに、時間の経過とともに基準レベルを徐々に上げていくことにより、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現することができる。

### 【0036】

【作用】本発明に係る撮像装置は、被写体の明るさ電気信号を発生する受光部と、受光信号を増幅する増幅部と、増幅電気信号を電流信号として記憶する複数の記憶部と、各記憶部の電流出力を電圧に変換する負荷部と、負荷部の出力信号を演算する演算部と、演算結果を外部出力する出力部と、各部の駆動を制御する駆動制御部などで構成される。

【0037】駆動制御部による駆動制御によって、1つの記憶部に基準信号レベルに相当する電流信号を記憶するとともに、他の記憶部には被写体の明るさに相当する電流信号を時間的に積分しながら記憶する。次いで、各記憶部から読み出された電流信号に基づいて基準信号レベルと被写体の明るさを演算部において比較する。そして、被写体の明るさが基準信号レベルを越えるまでの経過時間に基づいて、アナログ量である被写体の明るさをデジタル量に変換することができる。

【0038】本発明によれば、被写体の明るさの時間的な変化を演算する回路構成を持つ像素子を用いて、被写体の明るさというアナログ量をデジタル量に変換することができる。したがって、専用のアナログ-デジタル変換回路を回路上に搭載する必要がなく、同等の機能を持つ他の方式に比べて回路規模の抑制を行うことができる。

【0039】また、本発明によれば、アナログ量からデジタル量に変換するA/D変換処理において、基準信号レベルと被写体の明るさを積分する時間刻みを調整することによって、いわゆるダイナミック・レンジの広い撮像を実現することができる。

【0040】また、本発明によれば、各画素の検出信号をアナログ量からデジタル量へ変換する際に、被写体の明るさを時間的に積分することによって、いわゆるランダム・ノイズに強い撮像を実現することができる。

【0041】また、本発明の第3乃至第5の各側面によれば、撮像装置は、画素毎に複数のフレーム・メモリと比較器とバイアス回路を持ち、それらを用いてアナログ・デジタル変換を行う際にバイアスを可変とするこ

よって、ダイナミック・レンジを拡大して、暗い領域から明るい領域まで再現することができる。

【0042】本発明のさらに他の目的、特徴や利点は、後述する本発明の実施例や添付する図面に基づくより詳細な説明によって明らかになるであろう。

【0043】

【発明の実施の形態】以下、図面を参照しながら本発明の実施例を詳解する。

【0044】第1の実施形態

図1には、本発明の第1の実施形態に係る撮像素子の回路構成を模式的に示している。同図に示すように、撮像素子は、 $M \times N$  個の画素1が2次元マトリックス状に配列され、各行毎に水平画素駆動信号群が敷設されるとともに、各列毎に垂直信号線が敷設されて構成される。

【0045】駆動クロック・ジェネレータ2は、単位画素を駆動するためのクロック・パルスを発生させる回路である。

【0046】また、垂直駆動回路3は、駆動クロック・ジェネレータ2において発生されたクロック・パルスを、水平方向に並んだM個の単位画素からなる画素行の各々に対して、動作タイミングをずらしながら水平画素駆動信号群経由で供給する。

【0047】また、各画素列毎に配設された出力回路4は、垂直信号線230を介して供給される各画素からの出力信号をレベル変換して、撮像素子の外部に出力するようになっている。

【0048】水平駆動信号線群、すなわち各画素に供給される駆動クロック・パルスには、リセットパルスφRST(301)、転送パルスφPTX(302)、受光信号読出しパルスφRD(303)、メモリTR-1転送パルスφMTX-1(304)、メモリTR-1短絡パルスφMEM-1(305)、メモリTR-2転送パルスφMTX-2(306)、メモリTR-2短絡パルスφMEM-2(307)、インバータA短絡パルスφCMPA(308)、インバータB短絡パルスφCMPB(309)、画素読出しパルスφPOUT(310)、並びに、リセット電圧VRST(311)が含まれる。これら駆動クロック・パルスを所定のタイミングで動作させることによって、撮像素子に対して画素出力信号のAD変換処理やその他の演算処理を適用することができる。但し、駆動クロック・パルスの動作タイミングや演算処理の手順については、後に詳解する。

【0049】例えばCMOS技術を適用して、図1に示すような撮像素子内のすべての回路モジュールを、同一チップ上に実装することが可能である。

【0050】図2には、撮像素子内に配列される画素1の内部構成を図解している。同図に示すように、画素1は、受光部10と、第1増幅部20と、第2増幅部30と、第1基憶部40-1から第k記憶部40-kまでのk個の記憶部と、負荷及び演算部50と、バイアス部5

5と、出力部60とで構成される。

【0051】受光部10は、入射光を電気信号に変換する光電変換部であり、一般にはフォト・ダイオード(PD)で構成される。受光部10の動作は、受光部駆動信号11により制御される。

【0052】第1増幅部20は、受光部10から転送されてくる電流信号を後続の第2増幅部30で処理するのに適したレベルに変換するとともに、第1増幅部駆動信号21によって規定される適切なタイミングで電流信号を出力する。

【0053】第2増幅部30は、第1増幅部20から転送されてくる電流信号を後続の各記憶部40において記憶するに適したレベルにまで増幅するとともに、第2増幅部駆動信号31によって規定される適切なタイミングで電流信号を出力する。

【0054】第1記憶部40-1～第k記憶部40-kからなるk個の記憶部は、すべて第2増幅部30の出力に接続されており、この増幅信号の電流を記憶部駆動信号41によって規定される適切なタイミングで記憶保持することができる。1つの画素内に配設される記憶部の個数kは、後続の演算処理において必要な数によって決定すればよい。

【0055】負荷部及び演算部50は、第1記憶部40-1～第k記憶部40-kのすべての出力に接続されており、すべての又は一部の記憶部40からの出力電流を電圧に変換するとともに、演算部駆動信号51により規定される適切なタイミングで演算処理を行う。ここで言う演算の内容は、撮像素子の機能によって異なるが、信号の和、信号の差、信号の比較などが一般的である。

【0056】バイアス部55は、演算部50における演算時に必要なノイズ除去のためのバイアス電流を、バイアス部駆動信号56に応じて発生する。

【0057】出力部60は、負荷部及び演算部50による演算結果を撮像素子内の信号線に出力するに適したレベルに変換して、出力部駆動信号61により適切なタイミングで画素出力70として出力する。

【0058】各部への駆動信号11～61は、水平画素駆動信号群(前述)を経由して撮像素子内を各画素1毎に敷設されている。垂直駆動回路3は、これら駆動信号11～61を発生して、水平方向に並ぶM個の画素行単位で駆動する。

【0059】各画素からの画素出力70は、垂直信号線230によって各画素列毎に互いに接続されている。各垂直信号線は、出力回路4によって適切なレベルに変換された後、撮像信号として撮像素子の外部に取り出される。

【0060】図3には、本発明を実現する単位画素の回路構造を詳細に示している。但し、同図に示す単位画素は2つの記憶部を持つものとする。以下、図3に示す単位画素内における構成及び動作特性について説明する。

【0061】フォトダイオード(211)は、入射光強度に応じて光電変換を行い、電子を蓄積する。

【0062】転送TR(212)は、nチャネルのMOS(Metal-Oxide Semiconductor: 金属酸化膜半導体)トランジスタ(n-MOS)で構成され、ソース側にフォトダイオード(211)が接続されるとともに、ドレン側にアンプTR(214)のゲートが接続されている。転送TR(212)のゲートに入力される転送パルス $\phi$ PTX(302)がハイ・レベルになっている間、トランジスタ(212)がオンされ、フォト・ダイオード(211)に蓄積された電子は転送されてアンプTR(214)のゲート電位として利用される。このときのアンプTR(214)のゲート電位をVFD(240)とする。

【0063】リセットTR(213)はn-MOSトランジスタで構成され、ソース側が転送TR(212)のドレン並びにアンプTR(214)のゲートに接続されるとともに、ドレン側にはリセット電圧VRST(311)が印加されている。そして、リセットTR(213)のゲートに入力されているリセット・パルス $\phi$ RST(301)がハイ・レベルになっている間、アンプTR(214)のゲート電位VFD(240)がリセット電圧VRST(311)によって定まる値に落ち着く。

【0064】アンプTR(214)はn-MOSトランジスタで構成され、ゲートは転送TR(212)のドレン並びにリセットTR(213)のソースに接続され(前述)、ソース側は受光信号読出しスイッチ(216)に接続されているとともに、ドレン側には電源電圧(VDD)が印加されている。アンプTR(214)は、受光信号読出しスイッチ(216)がオンになっている間、そのゲート電位VFD(240)に応じた電流をドレンからソースに流すことができる。

【0065】カレント・ミラー回路(215)は2つのn-MOSトランジスタで構成されており、各トランジスタのソース側が接地されるとともに、ドレン側が受光信号読出しスイッチ(216)に接続されている。カレント・ミラー回路(215)は、受光信号読出しスイッチ(216)がオンになっている間、アンプTR(214)から流れ込む電流の値を、カレント・ミラーを構成する2個のトランジスタのサイズ比(具体的には、トランジスタのゲート長が同じであればゲート幅の比に応じた割合)で増幅する働きを持っている。

【0066】受光信号読出しスイッチ(216)を構成する2つのトランジスタはいずれもn-MOSトランジスタで構成されている。この各トランジスタのソース側はカレント・ミラー回路(215)に接続されている。また、一方のトランジスタのドレン側はアンプTR(214)のソースに接続されているとともに、他方のトランジスタのドレン側はメモリTR-1転送スイッ

チ(217)並びにメモリTR-2転送スイッチ(220)のソース及び負荷TR(231)並びにキャバシタA(225)に接続されている。

【0067】受光信号読出しスイッチ(216)を構成する各トランジスタのゲートに入力される受光信号読出しパルス $\phi$ RD(303)がハイ・レベルになっている間、アンプTR(214)を通過する電流がカレント・ミラー回路(215)に流れ込み、カレント・ミラー回路(215)は各トランジスタのサイズ比に応じて電流を増幅する。増幅された電流は、メモリTR-1転送スイッチ(217)を介してメモリTR-1(219)に流れるか、又は、メモリTR-2転送スイッチ(220)を介してメモリTR-2(222)に流れるようになっている。

【0068】メモリTR-1転送スイッチ(217)はn-MOSトランジスタで構成され、ソース側はメモリTR-2転送スイッチ(220)のソース並びに負荷TR(231)とキャバシタA(225)、そして受光信号読出しスイッチ(216)のドレンに接続されている。また、そのドレン側は、メモリTR-1(219)のドレン並びにメモリTR-1短絡スイッチ(218)のソースに接続されている。そして、ゲートに入力されるメモリTR-1転送パルス $\phi$ MTX-1(304)がハイ・レベルになっている間、メモリTR-1(217)に電流を流す働きをする。

【0069】メモリTR-1転送パルス $\phi$ MTX-1(304)をハイ・レベルにする期間が受光信号読出しパルス $\phi$ RD(303)がハイ・レベルとなる期間に一致しているときには、メモリTR-1(217)を流れる電流はカレント・ミラー回路(215)によって増幅された電流であり、メモリTR-1(217)はこの電流を記憶することができる。他方、 $\phi$ MTX-1(304)をハイ・レベルにする期間が、後述する負荷TRパルス $\phi$ VL(312)のハイ・レベルにする期間に一致しているときには、メモリTR-1(217)に記憶された電流が負荷TR(231)に流れ込む、すなわち記憶内容が読み出されることになる。

【0070】メモリTR-1短絡スイッチ(218)はn-MOSトランジスタで構成され、ソース側がメモリTR-1転送スイッチ(217)のドレンに接続されるとともに、ドレン側はメモリTR-1(219)のゲートに接続されている。そして、ゲートに入力されるメモリTR-1短絡パルス $\phi$ MEM-1(305)がハイ・レベルになっている間、メモリTR-1(219)のゲートとソースを短絡する働きをする。

【0071】メモリTR-1(219)はpチャネルのMOSトランジスタ(p-MOS)で構成され、そのソース側は電源電圧(VDD)に接続されるとともに、ドレン側はメモリTR-1転送スイッチ(217)のドレン及びメモリTR-1短絡スイッチ(218)のソ

ースに接続されている。そして、ゲートがメモリTR-1短絡スイッチ(218)のドレインに接続されているので、メモリTR-1短絡パルス $\phi$ MEM-1(305)がハイ・レベルになっている間はゲートとドレインが短絡された状態となるので、飽和領域で動作し、ゲート電位=ドレイン電位に応じた電流が流れることになる。

【0072】さらに、メモリTR-1(219)は、メモリTR-1短絡パルス $\phi$ MEM-1(305)がロー・レベルになっている間では、比較的小さなゲート容量およびその他の寄生容量によってゲート電位が保たれている限り、先に流れた電流を記憶しておくとともに、再びその電流を流すことが可能である(カレント・コピア動作)。この意味において、メモリTR-1(219)は、図2に示す第1記憶部40-1として動作することができる。しかも、この記憶動作は、ゲート容量が小さいこともあり、高速に行うことができるというメリットがある。

【0073】なお、メモリTR-2転送スイッチ(220)並びにメモリTR-2短絡スイッチ(221)、及びメモリTR-2(222)の種類、接続状況並びに動作特性については、メモリTR-2転送パルス $\phi$ MTX-2(306)とメモリTR-2短絡パルス $\phi$ MEM-2(307)のタイミングも含めて、メモリTR-1転送スイッチ(217)並びにメモリTR-1短絡スイッチ(218)及びメモリTR-1(219)の種類、接続状況並びに動作特性、そしてメモリTR-1転送パルス $\phi$ MTX-1(304)とメモリTR-1短絡パルス $\phi$ MEM-1(305)のタイミングと同様であるので、本明細書中では説明を省略する。

【0074】負荷TR(231)はn-MOSトランジスタで構成され、ソース側は接地されるとともに、ドレイン側は受光信号読出しスイッチ(216)のドレインならびにメモリTR-1転送スイッチ(217)とメモリTR-2転送スイッチ(220)のソース、並びにキャパシタA(225)に接続されている。そして、ゲートに入力される負荷TRパルス $\phi$ VL(312)がハイ・レベルになっている間、流れる電流に応じた電圧が負荷TR(231)のドレイン側に発生するようになっている。

【0075】インバータA(224)は、一般的なn-MOSトランジスタとp-MOSトランジスタによる構成で(図示しない)、入力側にはキャパシタA(225)が、出力側にはキャパシタB(228)がそれぞれ接続されている。また、インバータA(224)の入力側と出力側にはインバータA短絡スイッチ(223)のソースとドレインがそれぞれ接続されている。

【0076】インバータA短絡スイッチ(223)はn-MOSトランジスタで構成され、ソースおよびドレインはインバータA(224)の入力側と出力側にそれぞ

れ接続されている(但し、接続の対応関係はその逆でもよい)。そして、ゲートに入力されているインバータA短絡パルス $\phi$ CMPA(308)がハイ・レベルになっている間は、インバータA(225)の入力側と出力側を短絡するようになっている。

【0077】インバータA短絡スイッチ(223)がオンになっている間は、インバータA(225)の入力側と出力側が短絡されるので、その出力電圧は電源電圧のほぼ半分に相当する電圧に落ち着く。この電圧をインバータA(225)の動作電圧 $V_{inv-A}$ とする。

【0078】他方、インバータA短絡スイッチ(223)がオフになっている間は、インバータA(225)の入力側のキャパシタA(225)に発生する電位に応じて出力側の電位が決定される。

【0079】インバータB(227)も一般的なn-MOSトランジスタとp-MOSトランジスタによる構成であり、入力側にキャパシタB(228)が接続されるとともに、出力側には画素読出しスイッチ(229)のドレインが接続されている。また、インバータB(227)の入力側と出力側には、インバータB短絡スイッチ(226)のソースとドレインがそれぞれ接続されている。

【0080】インバータB短絡スイッチ(226)はn-MOSトランジスタで構成され、ソースおよびドレインはインバータB(227)の入力側と出力側にそれぞれ接続されている(但し、接続の対応関係はその逆でもよい)。そして、ゲートに入力されているインバータB短絡パルス $\phi$ CMPB(309)がハイ・レベルになっている間は、インバータB(227)の入力側と出力側を短絡するようになっている。

【0081】インバータB短絡スイッチ(226)がオンになっている間は、インバータB(227)の入力側と出力側が短絡されるので、その出力電圧は電源電圧のほぼ半分に相当する電位に落ち着く。この電圧をインバータB(227)の動作電圧 $V_{inv-B}$ とする。

【0082】他方、インバータB短絡スイッチ(226)がオフになっている間は、インバータB(227)の入力側にあるキャパシタB(228)に発生する電位に応じた電圧が出力側に現れる。

【0083】画素読出しスイッチ(229)はn-MOSトランジスタで構成され、ソース側が垂直信号線(230)に接続されるとともに、ドレイン側はインバータB(227)の出力並びにインバータB短絡スイッチ(226)のドレイン(若しくはソース)に接続されている。そして、ゲートに入力されている画素読出しパルス $\phi$ POUT(310)がハイ・レベルになっている間、インバータB(227)の出力電圧に応じた電圧レベルが垂直信号線(230)に発生することになる。

【0084】図4には、図3に示す単位画素において、アナログ量である明るさをデジタル量に変換する原理図

を示している。

【0085】VFDは、図3のアンプTR(214)のゲート電位であり(前述)、通常の動作では、電源電圧に等しいリセット電圧によって決まるリセット・レベルにリセットされている。

【0086】フォト・ダイオード(211)に光が照射されると、光電変換された電子が蓄積される。この蓄積電子は、転送TR(212)をオンすることによって、アンプTR(214)のゲート側に転送される。この結果、ゲート電位VFD(240)はリセット・レベルから低下する。

【0087】この電圧が低下する度合いは、転送される電子の量、あるいはフォト・ダイオード(211)にた

$$VH = TS \cdot \Delta VR / TH \quad (式1)$$

$$VM = TS \cdot \Delta VR / TM \quad (式2)$$

$$VL = TS \cdot \Delta VR / TL \quad (式3)$$

【0090】但し、各式において、TH, TM, TLは、明るさを表すラインH, M, Lの各々がリセット電圧を基準電圧としたときに決まる基準レベルと交差するときの時刻を表している。

【0091】図4及び各式からも分かるように、入射光の明るさを時刻の関数として表現することが可能となる。すなわち、フォト・ダイオード(211)が時刻ゼロから光の蓄積を始め、転送TR(212)をオンする度に低下していくゲート電位VFD(240)が基準レベルに達する瞬間までの時刻を検出すれば、入射光の明るさを求めることができる。

【0092】このとき、転送TR(212)をオンするタイミングを、所定のサンプリング周期 $\Delta T$ 刻みの時間としてカウントすれば、VFD(240)が基準レベル

$$VD = TS \cdot \Delta VR / TD \quad (式4)$$

【0096】(式4)をグラフ上にプロットすると、図5のようになり、検出時刻TDに対して求められる明るさVDは反比例することが分かる。さらに、(式4)を以下のように変形することで、明るさ $VD^*$ と検出時刻

$$VD^* = TS \cdot \Delta VR - TD \quad (式5)$$

【0098】ここで、(式4)と(式5)とを用いて検出時刻TDを消去することによって、明るさVDと $VD^*$ との間に成立する以下の関係式が求まる。

$$VD^* = TS \cdot \Delta VR (1 - 1/VD) \quad (式6)$$

【0100】VDと $VD^*$ との関係式(式6)をグラフ上にプロットすると、図7のようになる。同図から分かるように、明るさ $VD^*$ は、フォトダイオードPD(211)の出力をそのまま表現した明るさVDに対して暗い領域を強調しているので、コントラストのよいはっきりした画像を与えることになる。

【0101】このような暗い領域を強調した(すなわちコントラストの大きな)画像を得るには、一般に、明るさVDに対して対数変換を施した画像を用いることが多い。すなわち(式4)という非線型変換に加えさら

また電子数に比例し、これが入射光強度に相当する。したがって、明るい光が入射されるほどゲート電位VFD(240)の低下は急峻となり、逆に入射光が暗いほどVFD(240)は緩やかに低下することになる。

【0088】上述したような性質を利用すれば、例えば図4においてラインHで示される明るい光、ラインMの中間の明るさの光、並びにラインLの暗い光のそれぞれの明るさレベル $VH$ ,  $VM$ ,  $VL$ を三角形の相似関係に基づいて以下の各式によって表現することができる。すなわち、

【0089】

【数1】

$$VH = TS \cdot \Delta VR / TH \quad (式1)$$

$$VM = TS \cdot \Delta VR / TM \quad (式2)$$

$$VL = TS \cdot \Delta VR / TL \quad (式3)$$

に達する瞬間の時刻(すなわち周期 $\Delta T$ とカウント値nの積)を、被写体の明るさのデジタル量(すなわちAD変換結果)として得ることができる。

【0093】また、ゲート電位VFD(240)の値を基準レベルと直接比較するのではなく、ゲート電位VFD(240)が基準レベルであったときに発生する電流と、光が照射されているときに転送TR(212)がオンされる度に時々刻々変化するゲート電位VFD(240)によって発生する電流とを比較することによって、同様に明るさの検出が可能であることは容易に分かる。

【0094】さて、ここで、上記の(式1)～(式3)から得られる以下の一般式について考察してみる。

【0095】

【数2】

$$(式4)$$

TDとの間には線形的な関係が成立する。(式5)をグラフ上にプロットすると、図6のようになる。

【0097】

【数3】

$$(式5)$$

【0099】

【数4】

【0100】VDと $VD^*$ との関係式(式6)をグラフ上にプロットすると、図7のようになる。同図から分かるように、明るさ $VD^*$ は、フォトダイオードPD(211)の出力をそのまま表現した明るさVDに対して暗い領域を強調しているので、コントラストのよいはっきりした画像を与えることになる。

【0101】これに対し、本実施例では、最初から(式5)のように線形変換だけで明るさを表現しておけば、簡単にコントラストの大きな、はっきりした画像を得ることができる。

【0103】このようにして、明るさというアナログ量を、時間刻みでサンプリングされた時刻情報TDによって量子化されたデジタル量に変換することが可能となる訳である。但し、明るさ信号をAD変換する処理の詳細

な手順については後述に譲る。

【0104】なお、デジタル量のビット数は、時刻情報のサンプリング△Tの細かさに依存する。

【0105】図8には、図3に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るために動作タイミング・チャートを示している。また、図9には、図3に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るために動作フローチャートを示している。以下、図8及び図9を参照しながら、図3の単位画素においてフォト・ダイオード(211)の出力をAD変換するための動作について詳細に説明する。

【0106】まず、時刻カウンタとして使用される変数nを1に設定する(ステップS1)。そして、リセット電圧VRST(311)を、明るさの基準となる信号レベル(基準電圧)に設定する(ステップS2)。

【0107】次いで、転送TR(212)のゲートに転送パルスφPTX(302)を印加することにより(ステップS3)、それ以前の期間でフォト・ダイオード(211)に蓄積されている残存電子をアンプTR(214)のゲート側に転送して(ステップS4)、再び転送パルスφPTX(302)をロー・レベルに戻しておく(ステップS5)。但し、このときにアンプTR(214)のゲートに現れる信号は利用しない。

【0108】次いで、リセットTR(213)のゲートにリセット・パルスφRST(301)を印加することによって(ステップS6)、アンプTR(214)のゲート電位VFD(240)を基準電圧に対応した基準レベルに設定して(ステップS7)、再びリセット・パルスφRST(301)をロー・レベルに戻しておく(ステップS8)。

【0109】次いで、上記のように設定した基準レベルに対応する電流をメモリTR-1(219)に記憶させるために、受光信号読出しパルスφRD(303)、メモリTR-1転送パルスφMTX-1(304)、及び、メモリTR-1短絡パルスφMEM-2(305)を同時に印加する(ステップS9)。

【0110】このとき、アンプTR(214)のゲート電位VFD(240)は先に設定された基準レベルになっているので、そのレベルに応じた電流がアンプTR(214)に流れる。また、受光信号読出しスイッチ(216)がオンになっているので、カレント・ミラー回路(215)によって増幅された電流(以下、「I-1」とする)が、メモリTR-1転送スイッチ(217)を介してメモリTR-1(219)を流れることになる。但し、メモリTR-1短絡スイッチ(218)がオンになっているので、メモリTR-1(219)は飽和領域で動作している。

【0111】そして、メモリTR-1短絡パルスφMEM-1(305)をロー・レベルに戻す(ステップS

10)、メモリTR-1短絡スイッチ(218)がオフとなり、メモリTR-1(219)は今まで流れていた電流I-1を記憶することになる(ステップS11)。

【0112】このとき、受光信号読出しスイッチ(216)とメモリTR-1転送スイッチ(217)は、メモリTR-1短絡スイッチ(218)がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルスφRD(303)及びメモリTR-1転送パルスφMTX-1(304)をロー・レベルに戻すタイミングはズラしてある(ステップS12)。

【0113】以上説明したように、ステップS1～S12によって、明るさの基準レベルに相当する電流I-1をメモリTR-1(219)に記憶することができる訳である。

【0114】ステップS13以降の処理では、一定周期毎に被写体の明るさを逐次読出しながら、上記の基準レベルと比較して、被写体の明るさと基準レベルとの大小関係が逆転するタイミング(図4において、明るさを表す直線が基準レベルと交差する点)を検出するようになっている。

【0115】まず、リセット電圧VRST(311)を電源電圧に設定する(ステップS13)。

【0116】次いで、リセットTR(213)のゲートにリセット・パルスφRST(301)を印加することによって(ステップS14)、アンプTR(214)のゲート電位VFD(240)をリセット電圧VRSTに対応したりセット・レベルに設定して(ステップS15)、再びリセット・パルスφRST(301)をロー・レベルに戻しておく(ステップS16)。

【0117】ここで、転送TR(212)のゲートに転送パルスφPTX(302)を印加する(ステップS17)。これによって、フォト・ダイオード(211)に蓄積されていた残存電子を転送した後なので(ステップS3～S5)、新たに光電変換によって発生した電子(図8のタイミング・チャートの受光期間(1)において発生した電子)が、アンプTR(214)のゲート側に転送される(ステップS18)。そして、再び転送パルスφPTX(302)をロー・レベルに戻しておく(ステップS19)。

【0118】ステップS20～S23によって、アンプTR(214)のゲート側に転送された電子の数によって決まる電流をメモリTR-2(222)に記憶させることができる。

【0119】まず、受光信号読出しパルスφRD(303)、メモリTR-2転送パルスφMTX-2(306)、及び、メモリTR-2短絡パルスφMEM-2(307)を同時に印加することによって(ステップS20)、カレント・ミラー回路(215)によって増幅された電流がメモリTR-2(222)に流れ込む。すなわち、メモリTR-2(222)には受光期間(1)

において発生した電子数に応じた信号電流（以下、「I-2」とする）が流れる。但し、メモリTR-2短絡スイッチ（221）がオンになっているので、メモリTR-2（222）は飽和領域で動作している。

【0120】そして、メモリTR-2短絡パルスφME M-2（307）をロー・レベルに戻すと（ステップS21）、メモリTR-2短絡スイッチ（221）がオフとなり、メモリTR-2（222）は今まで流れていた電流I-2を記憶することになる（ステップS22）。

【0121】このとき、受光信号読出しスイッチ（216）とメモリTR-2転送スイッチ（220）は、やはりメモリTR-2短絡スイッチ（221）がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルスφRD（303）及びメモリTR-2転送パルスφMTX-2（306）をロー・レベルに戻すタイミングはずらしてある（ステップS23）。

【0122】ステップS20～S23によって、メモリTR-2（222）には、被写体の明るさに応じた電流が時間的に積分されながら記憶されていく。

【0123】さらに後続のステップS24以降では、メモリTR-1（219）及びメモリTR-2（222）にそれぞれ記憶されている電流I-1とI-2を比較する。

【0124】まず、メモリTR-2転送スイッチ（220）と負荷TR（231）の各ゲートに対してメモリTR-2転送パルスφMTX-2（306）及び負荷TRパルスφVL（312）を印加することによって、各トランジスタをオンにする。この結果、メモリTR-2（222）に記憶されている電流I-2が負荷TR（231）に流れ込んで、その電流値に応じた負荷電圧（以下、「V2」とする）がドレイン側に発生する（ステップS24）。

【0125】このとき同時に、インバータA短絡スイッチ（223）とインバータB短絡スイッチ（226）の各ゲートにインバータA短絡パルスφCMPA（308）及びインバータB短絡パルスφCMPP（309）を印加して、各トランジスタをオンにする。この結果、インバータA（224）及びインバータB（227）のそれぞれの入出力を短絡させることができる（ステップS25）。これによって、インバータA（224）及びインバータB（227）の出力電圧はそれぞれのインバータの動作点電圧 $V_{inv-A}$ 及び $V_{inv-B}$ となる。

【0126】次いで、インバータA短絡パルスφCMPA（308）を最初にロー・レベルにしてインバータA短絡スイッチ（223）をオフにする（ステップS26）。この結果、インバータA（224）の出力電圧は、短絡時から若干変動するものの、ほぼ動作点電圧に近い値を示し（以下、「 $V_{inv-A2}$ 」とする）、出力が確定する。その出力確定値は、負荷TR（231）に電流I-2が流れかたときに発生する電圧（V2）がキャパシ

タA（225）に加わったときの出力に対応していることになる（ステップS27）。

【0127】この時点では、キャパシタA（225）の両端には、負荷TR（231）に電流I-2が流れたときに発生する電圧（V2）とインバータA（224）の動作点電圧に近い値が印加されている（以下、「 $V_{inv-A1}$ 」とする）。

【0128】一方、インバータB（227）は、この時点ではまだ短絡状態なので、ステップS26におけるインバータA（224）の出力電圧の小さな変動はインバータB（227）の出力には現れていない。

【0129】次いで、インバータB短絡パルスφCMPP（309）をロー・レベルにすることによって、インバータB短絡スイッチ（226）をオフにする（ステップS28）。この結果、インバータB（227）の出力電圧もやはり若干変動するものの、ほぼ動作点電圧に近い値を保ち（以下、「 $V_{inv-B2}$ 」とする）、出力が確定する。この出力確定値が、負荷TR（231）に電流I-2が流れたときに発生する電圧（V2）がキャパシタA（225）、インバータA（224）、並びに、キャパシタB（228）を介してインバータB（227）に加わったときの出力に対応していることになる（ステップS29）。

【0130】そして、この時点では、キャパシタB（228）の両端には、インバータA（224）の出力電圧 $V_{inv-A2}$ とインバータB（228）の動作点電圧に近い値（以下、「 $V_{inv-B1}$ 」とする）が印加されている。

【0131】この状態で、メモリTR-2転送パルスφMTX-2（306）及び負荷TRパルスφVL（312）をロー・レベルに戻して、メモリTR-2転送スイッチ（220）及び負荷TR（231）をオフすることによって、メモリTR-2（222）に記憶された電流I-2の読出しが完了する（ステップS30）。

【0132】次いで、再び負荷TRパルスφVL（312）をハイ・レベルにするとともに、同時にメモリTR-1転送パルスφMTX-1（304）もハイ・レベルにすることによって、負荷TR（231）及びメモリTR-1転送スイッチ（217）をオンにする（ステップS31）。この結果、メモリTR-1（219）に記憶されていた電流I-1が負荷TR（231）に流れ込んで、ドレイン側にはその電流値に対応した電圧（以下、「V1」とする）が発生する。

【0133】そして、この電圧V1が、先に電流I-2が流れたときに負荷TR（231）に発生した電圧V2よりも低ければ、キャパシタA（225）のインバータA（224）側電位は、先の $V_{inv-A1}$ よりV2-V1だけ下降することになる（但し、インバータA（224）の入力容量が無視できるほど小さい状況であるとする）。

【0134】したがって インバータA（224）の出

力は $V_{inv-A2}$ より上昇し、その結果、キャパシタB(228)のインバータB(227)側電位が上昇して、インバータB(227)の出力電圧は下降することになる。

【0135】逆に、電圧V1が電圧V2より高ければ、キャパシタA(225)のインバータA(224)側電位は $V_{inv-A1}$ よりV1-V2だけ上昇し(但し、インバータA(224)の入力容量が無視できるほど小さい状況であるとする)、インバータA(224)の出力は $V_{inv-A2}$ より下降する。この結果、キャパシタB(228)のインバータB(227)側電位も下降して、インバータB(227)の出力電圧が上昇することになる。

【0136】すなわち、メモリTR-1(219)に記憶されていた電流I-1が、メモリTR-2(222)に記憶されていた電流I-2よりも大きければ、負荷TR(231)に発生する電圧もV2よりV1の方が高くなるので、インバータB(228)の出力は高くなる。逆に、電流I-1の方がI-2よりも小さないと、インバータB(228)の出力は低くなる。略言すれば、このような動作特性によって、記憶されている2つの電流の大小比較が可能となる訳である(ステップS32)。

【0137】この状態で、画素読出しパルスφPOUT(310)をハイ・レベルに転じて、画素読出しスイッチ(229)をオンにすることによって、垂直信号線(230)には電流I-1とI-2の比較結果に応じてインバータB(228)の出力レベルが現れることになる(ステップS33)。そして、画素読出しパルスφPOUT(310)をロー・レベルに戻して(ステップS34)、続いてメモリTR-1転送パルスφMTX-1(304)及び負荷TRパルスφVL(312)をロー・レベルと戻すことによって、一連の画素読出し動作を完了させる(ステップS35)。

【0138】このとき、垂直信号線(230)のレベル、すなわち、今回読み出された画素の出力レベルがロー又はハイのいずれのレベルかを判別する(ステップS36)。垂直信号線(230)のレベル判定は、撮像素子と同一チップ又は別のチップ上に実装された演算器(図示しない)によって行われる。

【0139】垂直信号線(230)がハイ・レベルならば、電流I-1はI-2より大きい、あるいは、基準レベルよりも入射光による信号レベルが低いことが分かる。すなわち、入射光が明るくなって基準レベルを横切ったと判断できるので、サンプリング周期 $\Delta T$ に時刻カウンタ値nで乗算した値 $\Delta T \times n$ を時刻情報として出力して(ステップS37)、図9に示す本処理ルーチン全体を終了する。

【0140】他方、垂直信号線(230)のレベル、すなわち、今回読み出された画素の出力レベルがロー・レベルならば、時刻カウンタnを1だけインクリメントして(ステップS38)、ステップS17に戻ってフォト

・ダイオード(211)の電荷を転送するステップ以降を、垂直信号線(230)がハイ・レベルに転じるまで繰り返し行う。

【0141】なお、時刻カウンタnを計数するための回路モジュールは、撮像素子と同一チップ上又は別のチップ上に実装することができる。

【0142】図9に示す処理ルーチンによって出力される時刻情報 $\Delta T \times n$ は、VFD(240)が基準レベルに達する瞬間の時刻であり、フォト・ダイオード(211)における入射光の明るさをデジタル量に変換した結果に相当する(前述)。言い換えれば、図9に示す処理ルーチンによって、撮像素子の各画素におけるフォト・ダイオード出力を、撮像素子内においてアナログ値からデジタル値に変換することができる訳である。

【0143】このように撮像素子内においてAD変換を実現するためには、駆動クロック・ジェネレータ2が各駆動クロック・パルスを図8に示すようなタイミングで出力するだけでよい、という点を充分理解されたい。

【0144】なお、図8の動作タイミングチャートに示すように、基準レベル記憶期間において、リセット・パルスφRST(301)の前に転送パルスφPTX(302)を出すことによって、フォト・ダイオード(211)に既に貯まった電子を排出するようしている。この結果、次に転送パルスφPTX(302)が印加されるまでの期間すなわち受光期間(1)を、それ以降の受光期間(2)、(3)…に等しくすることができ、各時間刻み毎の受光時間を一定にすることが可能となる。

【0145】本実施例に係る撮像素子によれば、アナログ量からデジタル量に変換するA/D変換処理において、基準信号レベルと被写体の明るさを積分する時間刻みを調整することによって、いわゆるダイナミック・レンジの広い撮像を実現することができる。

【0146】また、本実施例に係る撮像素子によれば、各画素の検出信号をアナログ量からデジタル量へ変換する際に、被写体の明るさを時間的に積分することによって、いわゆるランダム・ノイズに強い撮像を実現することができる。

【0147】図10には、図1に示す構成の撮像素子において、アナログ量である明るさをデジタル量に変換した信号を得るために動作タイミング・チャートを示している。

【0148】より具体的には、図10は、図8の単位画素動作タイミング・チャートにおける基準レベル記憶期間と比較期間(1)の2つの期間における、1行目の画素並びに2行目の画素に与える駆動クロックのタイミングを示している。

【0149】リセット電圧VRST(311)が基準電圧に設定されている期間において、まず、1行目に並んだM個のすべての画素に対して、リセット・パルスφRST(301)、転送パルスφPTX(302)、受光

信号読み出しパルスφRD(303)、メモリTR-1転送パルスφMTX-1(304)、及び、メモリTR-1短絡パルスφMEM-1(305)を、図示されているタイミングで一斉に印加する。

【0150】次いで、ある一定時間経過後に、今度は2行目に並んだM個のすべての画素に対して、リセット・パルスφRST(301)、転送パルスφPTX(302)、受光信号読み出しパルスφRD(303)、メモリTR-1転送パルスφMTX-1(304)、メモリTR-1短絡パルスφMEM-1(305)を一斉に印加する。

【0151】そして、3行目以降からN行目までの画素に対して、同様に、位相のずれた駆動クロックを逐次印加していく(図示しない)。このようにして、すべての単位画素において、メモリTR-1(219)に基準レベルに対応する電流を記憶することができる。

【0152】N行目まで記憶動作終了したら、次にリセット電圧VRST(311)を電源電圧に設定して、1行目に並んだM個のすべての画素に対して、リセット・パルスφRST(301)、転送パルスφPTX(302)、受光信号読み出しパルスφRD(303)、メモリTR-2転送パルスφMTX-2(306)、メモリTR-2短絡パルスφMEM-2(307)を図示しているタイミングで一斉に印加することによって、受光期間(1)で光電変換された電子数で決まる電流をメモリTR-2(222)に記憶することができる。

【0153】その直後に、メモリTR-2転送パルスφMTX-2(306)、負荷TRパルスφVL(312)、インバータA短絡パルスφCMPA(308)、インバータB短絡パルスφCMPB(309)を印加して、メモリTR-2(222)に記憶されていた電流を読み出し負荷TR(231)で電圧に変換する。

【0154】続いて、メモリTR-1転送パルスφMTX-1(304)、負荷TRパルスφVL(312)を印加して、メモリTR-1(219)に記憶されていた電流を読み出して、負荷TR(231)において電圧に変換するとともに、先に読み出されていた電圧との比較を行う。そして、画素読み出しスイッチ(229)のゲートに画素読み出しパルスφPOUT(310)を印加することによって、比較の結果生じるインバータB(227)の出力電圧を垂直信号線(230)へ読み出す。

【0155】そして、2行目に並んだM個のすべての画素に対して、リセット・パルスφRST(301)、転送パルスφPTX(302)、受光信号読み出しパルスφRD(303)、メモリTR-2転送パルスφMTX-2(306)、メモリTR-2短絡パルスφMEM-2(307)を、1行目と同様に一斉に印加することによって、受光期間(1)で光電変換された電子数で決まる電流をメモリTR-2(222)に記憶する。

【0156】その後に、メモリTR-2転送パルスφ

MTX-2(306)、負荷TRパルスφVL(312)、インバータA短絡パルスφCMPA(308)、インバータB短絡パルスφCMPB(309)を印加して、メモリTR-2(222)に記憶されていた電流を読み出し負荷TR(231)で電圧に変換する。

【0157】続いて、メモリTR-1転送パルスφMTX-1(304)、負荷TRパルスφVL(312)を印加して、メモリTR-1(219)に記憶されていた電流を読み出して、負荷TR(231)で電圧に変換するとともに、先に読み出されていた電圧との比較を行う。そして、画素読み出しスイッチ(229)のゲートに画素読み出しパルスφPOUT(310)を印加することによって、比較の結果生じるインバータB(227)の出力電圧を垂直信号線(230)へ読み出す。

【0158】そして、3行目以降からN行目までの画素に対して、同様に位相のずれた駆動クロックを逐次印加していくことによって、すべての単位画素において、メモリTR-1(219)に記憶された基準レベルに対応する電流とメモリTR-2(222)に記憶された受光強度に比例した信号電流とを比較することができる。

【0159】本実施例に係る撮像素子における単位画素の各々は、駆動クロック・ジェネレータ2が outputする各クロック・パルス間のタイミング、すなわち駆動モードを切り換えることによって、フォト・ダイオード出力に対してA/D変換以外の演算処理を適用することが可能である。例えば、各単位画素において、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出することができる。

【0160】図11には、図3に示す単位画素において、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出するための、各クロック・パルスの動作タイミング・チャートを示している。また、図12には、明るさの時間的な変化を演算して、変化が急峻となる時刻を検出するための、各単位画素における動作フローチャートを示している。以下、図11及び図12を参照しながら説明する。

【0161】まず、時刻カウンタとして使用する変数nを1に設定する(ステップS51)。そして、リセット電圧VRST(311)を、電源電圧に設定する(ステップS52)。

【0162】次いで、リセットTR(213)のゲートにリセット・パルスφRST(301)を印加することによって、アンプTR(214)のゲート電位VFD(240)を電源電圧に対応したリセット・レベルに設定して(ステップS53)、再びリセット・パルスφRST(301)をロー・レベルに戻す。

【0163】そして、フォトダイオード(211)に蓄積されている電子をアンプTR(214)のゲート側に転送する(ステップS54)。この処理は、演算を開始する前にフォト・ダイオード(211)に貯まっていたす

べての電子を掃き出して初期化する動作に相当するが（図11の初期化期間）、転送TR（212）のゲートに転送パルスφPTX（302）を印加するした後、再び転送パルスφPTX（302）をロー・レベルに戻すことによって行われる。

【0164】次いで、再びリセットTR（213）のゲートにリセット・パルスφRST（301）を印加することによって、アンプTR（214）のゲート電位VFD（240）を電源電圧に対応したリセット・レベルに設定して（ステップS55）、再びリセット・パルスφRST（301）をロー・レベルに戻す。

【0165】そして、図11の受光期間（1）にフォト・ダイオード（211）で光電変換されて蓄積されている電子をアンプTR（214）のゲート側に転送する（ステップS56）。この処理は、転送TR（212）のゲートに転送パルスφPTX（302）を印加した後、再び転送パルスφPTX（302）をロー・レベルに戻すことによって行われる。

【0166】このとき、アンプTR（214）のゲート電位VFD（240）は、上記で転送された電子の数によって決まる。この結果発生する電流をメモリTR-1（219）に記憶させるためには、各トランジスタは以下のように動作すればよい。

【0167】まず、受光信号読出しパルスφRD（303）、メモリTR-1転送パルスφMTX-1（304）、メモリTR-1短絡パルスφMEM-1（305）を同時に印加すると、上述した発生電流がアンプTR（214）に流れる。また、受光信号読出しスイッチ（216）がオンになっているので、カレント・ミラー回路（215）によって増幅された電流（以下、「I-1」とする）が、メモリTR-1転送スイッチ（217）を介してメモリTR-1（219）に流れ込むことになる。但し、メモリTR-1短絡スイッチ（218）がオンになっているので、このときのメモリTR-1（219）は飽和領域で動作している。

【0168】そして、メモリTR-1短絡パルスφMEM-1（305）をロー・レベルに戻すと、メモリTR-1短絡スイッチ（218）がオフとなり、メモリTR-1（219）はこれまで流れていた電流I-1を記憶することになる（ステップS57）。

【0169】このとき、受光信号読出しスイッチ（216）とメモリTR-1転送スイッチ（217）は、メモリTR-1短絡スイッチ（218）がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルスφRD（303）とメモリTR-1転送パルスφMTX-1（304）がロー・レベルになるタイミングははずらしてある。

【0170】以上説明したように、ステップS55～S57の処理によって、受光期間（1）で光電変換された電子の数に相当する電流I-1をメモリTR-1（219）に記憶することができる訳である。

【0171】次いで、リセットTR（213）のゲートにリセット・パルスφRST（301）を印加することによって、アンプTR（214）のゲート電位VFD（240）を電源電圧に対応したリセット・レベルに設定して（ステップS58）、再びリセット・パルスφRST（301）をロー・レベルに戻す。

【0172】そして、図11のタイミング・チャートにおける受光期間（2）で発生した電子を、アンプTR（214）のゲート側に転送する（ステップS59）。この処理は、転送TR（212）のゲートに転送パルスφPTX（302）を印加した後、再び転送パルスφPTX（302）をロー・レベルに戻すことによって行われる。

【0173】このとき、アンプTR（214）のゲート電位VFD（240）は、上記で転送された電子の数によって決まる。この結果発生する電流をメモリTR-2（222）に記憶させるためには、各トランジスタは以下のように動作すればよい。

【0174】受光信号読出しパルスφRD（303）、メモリTR-2転送パルスφMTX-2（306）、メモリTR-2短絡パルスφMEM-2（307）を同時に印加することによって、上述した発生電流がアンプTR（214）に流れる。また、受光信号読出しスイッチ（216）がオンになっているので、カレント・ミラー回路（215）によって増幅された電流（以下、「I-2」とする）が、メモリTR-2転送スイッチ（220）を介してメモリTR-2（222）に流れ込むことになる。但し、メモリTR-2短絡スイッチ（221）がオンになっているので、このときのメモリTR-2（222）は飽和領域で動作している。

【0175】ここで、メモリTR-2短絡パルスφMEM-2（307）をロー・レベルに戻すと、メモリTR-2短絡スイッチ（222）がオフとなり、メモリTR-2（222）はこれまで流れていた電流I-2を記憶することになる（ステップS60）。

【0176】このとき、受光信号読出しスイッチ（216）とメモリTR-2転送スイッチ（220）は、やはりメモリTR-2短絡スイッチ（221）がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルスφRD（303）とメモリTR-2転送パルスφMTX-2（306）がロー・レベルになるタイミングははずらしてある。

【0177】以上説明したように、ステップS58～S60の処理によって、受光期間（2）で光電変換された電子の数に相当する電流I-2をメモリTR-2（222）に記憶することができる訳である。

【0178】続くステップS61～S65では、メモリTR-1（219）とメモリTR-2（222）の各々に記憶されている電流I-1とI-2を比較する処理を

行う。これはすなわち、受光期間（1）と受光期間（2）の各期間において光電変換されて発生した電子数の大小比較を行うことになる。

【0179】まず、メモリTR-1転送パルスφMTX-1（304）及び負荷TRパルスφVL（312）とともに印加することによって、メモリTR-1転送スイッチ（217）と負荷TR（231）をともにオンにする。この結果、メモリTR-1（219）に記憶されている電流I-1が負荷TR（231）に流れ込み、その電流値に応じた負荷電圧（以下、「V1」とする）がドレン側に発生する。

【0180】このとき、インバータA短絡スイッチ（223）とインバータB短絡スイッチ（226）の各ゲートに対してインバータA短絡パルスφCMPA（308）とインバータB短絡パルスφCMPB（309）を同時に印加する。この結果、インバータA短絡スイッチ（223）とインバータB短絡スイッチ（226）はともにオンされて、インバータA（224）及びインバータB（227）の各入出力は短絡されることになる（ステップS61）。これによって、インバータA（224）及びインバータB（227）の各出力電圧は、それぞれのインバータの動作点電圧 $V_{inv-A}$ 及び $V_{inv-B}$ となる。

【0181】ここで、インバータA短絡パルスφCMPA（308）を最初にロー・レベルにすることによってインバータA短絡スイッチ（223）をオフにすると、インバータA（224）の出力電圧は短絡時から若干変動するものの、ほぼ動作点電圧に近い値を示し（以下、「 $V_{inv-A2}$ 」とする）、インバータA（224）の出力が確定する（ステップS62）。その電圧値は、負荷TR（231）に電流I-1が流れたときに発生する電圧V1がキャパシタA（225）に印加されたときの出力に対応している。

【0182】また、この時点では、キャパシタA（225）の両端には、負荷TR（231）に電流I-1が流れたときに発生する電圧（V1）とインバータA（224）の動作点電圧に近い値が印加されている（以下、「 $V_{inv-A1}$ 」とする）。

【0183】一方、インバータB（227）は未だ短絡状態なので、ステップS62におけるインバータA（224）の出力電圧の小さな変動はインバータB（227）側の出力には現れていない。

【0184】次いで、インバータB短絡パルスφCM PB（309）をロー・レベルにすることによって、インバータB短絡スイッチ（226）をオフにすると、インバータB（227）の出力電圧もやはり若干変動するものの、ほぼ動作点電圧に近い値を保っている（以下、「 $V_{inv-B2}$ 」とする）。この値が、負荷TR（231）に電流I-1が流れたときに発生する電圧（V1）がキャパシタA（225）、インバータA（224）、キャパシタB（228）を介してインバータB（227）に

加わったときの出力に対応している（ステップS63）。この時点では、キャパシタB（228）の両端には、インバータA（224）の出力電圧 $V_{inv-A2}$ と、インバータB（228）の動作点電圧に近い電圧（以下、「 $V_{inv-B1}$ 」とする）がそれぞれ印加されている。

【0185】この状態で、メモリTR-1転送パルスφMTX-1（304）及び負荷TRパルスφVL（312）とともにロー・レベルにして、メモリTR-1転送スイッチ（217）及び負荷TR（231）をともにオフすることによって、メモリTR-1（219）に記憶しておいた電流I-1の読み出し動作が完了する。

【0186】次いで、再び負荷TRパルスφVL（312）をハイ・レベルに転じるとともに、同時にメモリTR-2転送パルスφMTX-2（306）もハイ・レベルに転じることによって、負荷TR（231）及びメモリTR-2転送スイッチ（220）をともにオンにする。この結果、メモリTR-2（222）に記憶されていた電流I-2が負荷TR（231）に流れ込んで、ドレン側にはその電流値に対応した電圧（以下、「V2」とする）が発生する。

【0187】ここで、電流I-2が流れ込んだときに負荷TR（231）に発生した電圧V2が、電流I-1が流れ込んだときに負荷TR（231）に発生した電圧V1よりも低ければ、キャパシタA（225）のインバータA（224）側の電位は、先の $V_{inv-A1}$ よりV1-V2だけ下降する（但し、インバータA（224）の入力容量が無視できるほど小さい状況であるとする）。したがって、インバータA（224）の出力は $V_{inv-A2}$ より上昇して、その結果、キャパシタB（228）のインバータB（227）側電位が上昇して、インバータB（227）の出力電圧は下降することになる。

【0188】逆に、電圧V2が電圧V1よりも高ければ、キャパシタA（225）のインバータA（224）側電位は $V_{inv-A1}$ よりV2-V1だけ上昇して、インバータA（224）の出力は $V_{inv-A2}$ より下降する（但し、インバータA（224）の入力容量が無視できるほど小さい状況であるとする）。その結果、キャパシタB（228）のインバータB（227）側電位も下降して、インバータB（227）の出力電圧が上昇することになる。

【0189】すなわち、メモリTR-2（222）に記憶されていた電流I-2が、メモリTR-1（219）に記憶されていた電流I-1よりも大きければ、負荷TR（231）に発生する電圧もV1よりV2の方が高くなり、インバータB（228）の出力は高くなる。これとは逆に、電流I-2が電流I-1よりも小さければ、インバータB（228）の出力は低くなる。したがって、2つの電流の大小比較が可能となる訳である（ステップS64）。

【0190】この状態で、画素読み出しパルスφOUT

(310)をハイ・レベルに転じて、画素読出しスイッチ(229)をオンにすることによって、垂直信号線(230)には電流I-1とI-2の比較結果に応じてインバータB(228)の出力レベルが現れることになる(ステップS65)。そして、画素読出しパルスφPOUT(310)をロー・レベルに戻して、続いてメモリTR-1転送パルスφMTX-1(304)及び負荷TRパルスφVL(312)をロー・レベルと戻すことによって、画素読出し動作が完了する。

【0191】このとき、垂直信号線(230)のレベル、すなわち、今回読み出された画素の出力レベルがロー又はハイのいずれのレベルかを判別する(ステップS66)。垂直信号線(230)のレベル判定は、撮像素子と同一チップ又は別のチップ上に実装された演算器(図示しない)によって行われる。

【0192】垂直信号線(230)のレベル、すなわち、今読み出された画素の出力レベルがハイ・レベルならば、電流I-2はI-1より大きい、あるいは、受光期間(2)で光電変換された電子数は受光期間(1)で光電変換された電子数よりも少ない、すなわち、入射光がいったん明るくなつて再び暗くなるという明度の変化があったと判断することができる。この場合、サンプリング周期ΔTに時刻カウンタ値nで乗算した値ΔT×nを時刻情報として出力して(ステップS77)、図12に示す本処理ルーチン全体を終了する。

【0193】他方、垂直信号線(230)のレベル、すなわち、今読み出された画素の出力レベルがロー・レベルならば、時刻カウンタnを1だけインクリメントして(ステップS67)、後続のステップに進む。

【0194】ステップS68～S78は、上述したステップS58～S67の処理において、メモリTR-1(219)とメモリTR-2(222)の各々の役割を入れ替えたものに相当する。

【0195】すなわち、ステップS68～S78においては、メモリTR-2(222)に記憶されている電流の方が、メモリTR-1(219)に記憶されている電流よりも時間的に後で記憶された信号となる。したがって、メモリTR-2(222)が次に新たに光電変換された信号に対応する電流を記憶するように、時間的に前で記憶された信号を書き換えなければならない。

【0196】そこで、まず、リセットTR(213)のゲートにリセット・パルスφRST(301)を印加することによって、アンプTR(214)のゲート電位VFD(240)を電源電圧に対応したりセット・レベルに設定して(ステップS68)、再びリセット・パルスφRST(301)をロー・レベルに戻す。

【0197】次いで、図11のタイミング・チャートの受光期間(3)で発生した電子をアンプTR(214)のゲート側に転送する(ステップS69)。この処理は、転送TR(212)のゲートに転送パルスφPTX

(302)を印加した後、再び転送パルスφPTX(302)をロー・レベルに戻すことによって行われる。

【0198】このとき、アンプTR(214)のゲート電位VFD(240)は、上記で転送された電子の数によって決まる。この結果発生する電流をメモリTR-1(219)に記憶させるためには、各トランジスタは以下のように動作すればよい。

【0199】受光信号読出しパルスφRD(303)、メモリTR-1転送パルスφMTX-1(304)、メモリTR-1短絡パルスφMEM-1(305)を同時に印加することによって、上述した発生電流がアンプTR(214)に流れる。また、受光信号読出しスイッチ(216)がオンになっているので、カレントミラー回路(215)によって増幅された電流(以下、「I-1」とする)が、メモリTR-1転送スイッチ(217)を介してメモリTR-1(219)に流れ込むことになる。但し、メモリTR-1短絡スイッチ(218)がオンになっているので、このときのメモリTR-1(219)は飽和領域で動作している。

【0200】ここで、メモリTR-1短絡パルスφMEM-1(305)をロー・レベルに戻すと、メモリTR-1短絡スイッチ(218)がオフとなり、メモリTR-1(219)はこれまで流れていた電流I-1を記憶することになる(ステップS70)。

【0201】このとき、受光信号読出しスイッチ(216)とメモリTR-1転送スイッチ(217)は、メモリTR-1短絡スイッチ(218)がオフとなるよりも若干長くオンの状態を保つ必要があるので、受光信号読出しパルスφRD(303)とメモリTR-1転送パルスφMTX-1(304)がロー・レベルになるタイミングはズラしてある。

【0202】次いで、ステップS71～S75では、メモリTR-2(222)とメモリTR-1(219)の各々に記憶されている電流I-2とI-1を比較する。これは、すなわち、受光期間(2)と受光期間(3)の各期間において光電変換されて発生した電子数の大小比較を行うことに相当する。

【0203】まず、メモリTR-2転送パルスφMTX-2(306)及び負荷TRパルスφVL(312)とともに印加することによって、メモリTR-2転送スイッチ(222)と負荷TR(231)をともにオンにする。この結果、メモリTR-2(222)に記憶されている電流I-2が負荷TR(231)に流れ込み、その電流値に応じた負荷電圧(以下、「V2」とする)がドレン側に発生する。

【0204】このとき、インバータA短絡スイッチ(223)とインバータB短絡スイッチ(226)の各ゲートに対してインバータA短絡パルスφCMPA(308)とインバータB短絡パルスφCMPB(309)を同時に印加する。この結果、インバータA短絡スイッチ(223)

23) とインバータB短絡スイッチ(226)はともにオンされて、インバータA(224)及びインバータB(227)の入出力は短絡されることになる(ステップS71)。これによって、インバータA(224)及びインバータB(227)の各出力電圧は、それぞれのインバータの動作点電圧 $V_{inv-A}$ 及び $V_{inv-B}$ となる。

【0205】そして、インバータA短絡パルス $\phi$ CMP A(308)を最初にロー・レベルにすることによってインバータA短絡スイッチ(223)をオフにすると、インバータA(224)の出力電圧は短絡時から若干変動するものの、ほぼ動作点電圧に近い値を示し(以下、「 $V_{inv-A2}$ 」とする)、インバータA(224)の出力が確定する(ステップS72)。その電圧値は、負荷TR(231)に電流I-2が流れたときに発生する電圧V2がキャパシタA(225)に印加されたときの出力に対応している。

【0206】また、この時点では、キャパシタA(225)の両端には、負荷TR(231)に電流I-2が流れたときに発生する電圧(V2)とインバータA(224)の動作点電圧に近い値が印加されている(以下、「 $V_{inv-A1}$ 」とする)。

【0207】一方、インバータB(227)は未だ短絡状態なので、ステップS72におけるインバータA(224)の出力電圧の小さな変動はインバータB(227)側の出力には現れていない。

【0208】次いで、インバータB短絡パルス $\phi$ CMP B(309)をロー・レベルにすることによって、インバータB短絡スイッチ(226)をオフにすると、インバータB(227)の出力電圧もやはり若干変動するものの、ほぼ動作点電圧に近い値を保っている(以下、「 $V_{inv-B2}$ 」とする)。この値が、負荷TR(231)に電流I-2が流れたときに発生する電圧(V2)がキャパシタA(225)、インバータA(224)、並びにキャパシタB(228)を介してインバータB(227)に加わったときの出力に対応している(ステップS73)。この時点では、キャパシタB(228)の両端には、インバータA(224)の出力電圧 $V_{inv-A2}$ と、インバータB(228)の動作点電圧に近い電圧(以下、「 $V_{inv-B1}$ 」とする)がそれぞれ印加されている。

【0209】この状態で、メモリTR-2転送パルス $\phi$ MTX-2(306)及び負荷TRパルス $\phi$ VL(312)をロー・レベルにして、メモリTR-2転送スイッチ(220)及び負荷TR(231)をともにオフすることによって、メモリTR-2(222)に記憶された電流I-2の読出しが完了する。

【0210】次いで、再び負荷TRパルス $\phi$ VL(312)をハイ・レベルに転じるとともに、同時にメモリTR-1転送パルス $\phi$ MTX-1(304)もハイ・レベルに転じることによって、負荷TR(231)及びメモリTR-1転送スイッチ(217)をともにオンにす

る。この結果、メモリTR-1(219)に記憶されていた電流I-1が負荷TR(231)に流れ込んで、ドレイン側にはその電流値に対応した電圧(以下、「V1」とする)が発生する。

【0211】そして、この電圧V1が、先に電流I-2が流れたときに負荷TR(231)に発生した電圧V2より低ければ、キャパシタA(225)のインバータA(224)側の電位は、先の $V_{inv-A1}$ よりV2-V1だけ下降することになる(但し、インバータA(224)の入力容量が無視できるほど小さい状況であるとする)。したがって、インバータA(224)の出力は $V_{inv-A2}$ より上昇して、その結果、キャパシタB(228)のインバータB(227)側電位が上昇し、インバータB(227)の出力電圧は下降することになる。

【0212】逆に、電圧V1が電圧V2よりも高ければ、キャパシタA(225)のインバータA(224)側電位は $V_{inv-A1}$ よりV1-V2だけ上昇して、インバータA(224)の出力は $V_{inv-A2}$ より下降する(但し、インバータA(224)の入力容量が無視できるほど小さい状況であるとする)。その結果、キャパシタB(228)のインバータB(227)側電位も下降して、インバータB(227)の出力電圧が上昇することになる。

【0213】すなわち、メモリTR-1(219)に記憶されていた電流I-1が、メモリTR-2(222)に記憶されていた電流I-2よりも大きければ、負荷TR(231)に発生する電圧もV2よりV1の方が高くなり、インバータB(228)の出力は高くなる。これは逆に、電流I-1が電流I-2よりも小さければ、インバータB(228)の出力は低くなる。したがって、2つの電流の大小比較が可能となる訳である(ステップS74)。

【0214】この状態で、画素読出しパルス $\phi$ POUT(310)をハイ・レベルに転じて、画素読出しスイッチ(229)をオンにすることによって、垂直信号線(230)には電流I-1とI-2の比較結果に応じてインバータB(228)の出力レベルが現れることになる(ステップS75)。そして、画素読出しパルス $\phi$ POUT(310)をロー・レベルに戻して、続いてメモリTR-2転送パルス $\phi$ MTX-2(306)及び負荷TRパルス $\phi$ VL(312)をロー・レベルに戻すことによって、画素読出し動作が完了する。

【0215】このとき、垂直信号線(230)のレベル、すなわち、今回読み出された画素の出力レベルがロー又はハイのいずれのレベルかを判別する(ステップS76)。垂直信号線(230)のレベル判定は、撮像素子と同一チップ又は別のチップ上に実装された演算器(図示しない)によって行われる。

【0216】垂直信号線(230)のレベル、すなわち、今回読み出された画素の出力レベルがハイ・レベル

ならば、電流I-1はI-2より大きい、あるいは、受光期間(3)で光電変換された電子数は受光期間(2)で光電変換された電子数よりも少ない、すなわち、入射光がいったん明るくなつて再び暗くなるという明度の変化があったと判断できる。この場合、この場合、サンプリング周期ΔTに時刻カウンタ値nで乗算した値ΔT×nを時刻情報として出力して(ステップS77)、本処理ルーチン全体を終了する。

【0217】他方、垂直信号線(230)のレベル、すなわち、今読み出された画素の出力レベルがロー・レベルならば、時刻カウンタnを1だけインクリメントして(ステップS77)、ステップS58に戻って上述と同様の処理を繰り返し実行する。

【0218】次いで、受光期間(3)と受光期間(4)の各期間で発生した電子数の大小比較、さらには受光期間(4)と受光期間(5)の各期間で発生した電子数の大小比較というように、明るさの時間的変化の演算を順次実行することができる。

【0219】このように、フォト・ダイオード出力に相当する電流信号を記憶するメモリTRを各受光期間毎に入れ替えて、比較する際の読み出しの順番も変わることによって、常に時間的に後の信号が前の信号よりも大きいか小さいかを同じ基準で判断することができる訳である。

【0220】図11及び図12に示す処理動作を実行する結果として、本実施例に係る撮像素子の各单位画素は、明るさの時間的な変化をとらえ、明度の時間的なピーク検出を高速に行うことが可能となる。

【0221】図11及び図12に示すような動作特性を持つ単位画素からなる撮像素子を用いることによって、例えば、1フレーム目で撮像した被写体画像と2フレーム目で撮像した被写体画像を求めて、被写体の明るさの時間的変化を求めることができる。

【0222】被写体の明るさの時間的変化を求めることができる撮像素子を用いることにより、いわゆる3角測量の原理に従って、被写体までの距離を計測するアクティブ型距離計測システムを構成することができる。この種のアクティブ型距離計測システムについては、例えば、本出願人に既に譲渡されている特願2000-107723号明細書に開示されている。また、アクティブ型の距離計測原理については、例えば「三次元画像計測」(井口、佐藤共著、昭晃堂)に記載されている。

【0223】勿論、駆動クロック・ジェネレータ2が出力する各クロック・パルスのタイミングを切り換えることによって、本実施例に係る単位画素の各々は、フォト・ダイオード出力に対して上記(AD変換や変化が急峻となる時刻の検出)以外の演算処理を行うことも可能である。

【0224】第2の実施形態

図13には、本発明の第2の実施形態に係る撮像素子1

001を適用した撮像システム全体の構成例を模式的に示している。

【0225】信号発生器1002は、撮像素子1001を駆動するのに必要な信号を発生する。そして、発生した各信号は撮像素子1001に入力され、撮像素子1001内の垂直スキャナ1020で画素制御信号として、撮像素子1001を構成する各画素11に伝達される。

【0226】フレーム・メモリ1004は、撮像素子1001の画素数に相当するアドレス空間を有しており、またそのデータ幅は撮像素子1001の撮像結果を表現するのに必要なサイズを持っている。フレーム・メモリ1004は、信号処理部1003と双方向バスで接続されており、信号処理部1003で生成された画素毎の処理結果を入力して記憶したり、その内容を必要に応じて逆に信号処理部1003に引き渡したりする。

【0227】信号処理部1003は、撮像素子1001の出力信号を入力して、デジタル・データのままで画素毎に処理した上で、その結果を上述のフレーム・メモリ1004に出力する。

【0228】デジタルーアナログ変換部1005は、信号処理部1003からの画素毎のデジタル信号を入力して、それをアナログ信号に変換して出力する。

【0229】表示部1006は、デジタルーアナログ変換部1005から出力されるアナログ信号を入力して、画面(図示しない)上に表示出力する。

【0230】図14には、本発明の第2の実施形態に係る撮像素子1001の回路構成を模式的に示している。同図に示すように、撮像素子1001は、M×N個の画素1が2次元マトリックス状に配列され、各行毎に画素制御信号1012が敷設されるとともに、各列毎に垂直信号線1013が敷設されて構成される。そして、各画素列からのN本の垂直信号線1013は、水平出力回路1030に接続されており、その出力信号は、シリアル変換されて撮像素子1001の外部に出力されたり、出力レートを高速にするためにパラレルで撮像素子1001の外部に出力されるようになっている。

【0231】信号発生器1002は、単位画素を駆動するための図示の各クロック・パルス信号をそれぞれ所定のタイミングで発生させる回路である。

【0232】また、垂直駆動回路1020は、信号発生器1002において発生されたクロック・パルスを、水平方向に並んだM個の単位画素からなる画素行の各々に対して、動作タイミングをずらしながら画素制御信号1012経由で供給する。

【0233】図14中に示した画素制御信号1012は、各画素を駆動するための受光部制御パルス1200、增幅部制御パルス1210、第1記憶部制御パルス1220、第2記憶部制御パルス1230、比較部制御パルス1240、バイアス部制御パルス1250、そして出力部制御パルス1260(後述)を71と並んで

したものである。これら駆動クロック・パルスを所定のタイミングで動作させることによって、撮像素子に対して画素出力信号のAD変換処理やその他の演算処理を適用することができる。但し、駆動クロック・パルスの動作タイミングや演算処理の手順については、後に詳解する。

【0234】図15には、撮像素子1を構成する単位画素の構造を模式的に図解している。同図に示すように1つの画素は、受光部1100と、増幅部1101と、第1記憶部1102及び第2基億部1103と、比較部1104と、バイアス部1105と、出力部1106とで構成される。

【0235】受光部1100は、入射した光の強度に応じて光電変換された信号を増幅部1101に対して出力する。

【0236】受光部制御パルス1200は、受光部1100の内部状態のリセット動作や、光電変換された信号の内部転送動作を制御する入力パルスであり、リセット・パルス $\phi$ RST(1201)、転送パルス $\phi$ TX(1202)が含まれる。

【0237】増幅部1101は、受光部1100からの出力信号を入力して増幅した信号を、第1記憶部1102及び第2記憶部1103に対して出力する。

【0238】増幅部制御パルス1210は、増幅部1101で増幅した信号を出力するか否か制御する入力パルスであり、増幅部読出しパルス $\phi$ AG(1211)が含まれる。

【0239】第1記憶部1102並びに第2記憶部1103は、増幅部1101から出力される信号を記憶しており、比較部1104へ出力するようになっている。

【0240】第1記憶部制御パルス1220並びに第2記憶部制御パルス1230は、それぞれ第1記憶部1102、第2記憶部1103への信号記録動作及び信号読出し動作の制御を行う。第1記憶部制御パルス1220には、第1記憶パルス $\phi$ MSWF(1221)、第1記憶ゲート・パルス $\phi$ MGF(1222)が含まれる。また、第2記憶部制御パルス1220には、第2記憶パルス $\phi$ MWS(1231)、第2記憶ゲート・パルス $\phi$ MGS(1232)が含まれる。

【0241】比較部1104は、第1記憶部1102並びに第2記憶部1103から読み出される信号を入力して、両者を比較した結果として0(ロー・レベル)又は1(ハイ・レベル)の信号を出力する。

【0242】比較部制御パルス1240は、比較部1104の動作制御を行う入力パルスであり、負荷パルス $\phi$ QL(1241)、第1インバータ短絡パルス $\phi$ INV F(1242)、第2インバータ短絡パルス $\phi$ INV S(1243)が含まれる。

【0243】バイアス部1105は、比較部1104にバイアス信号を加えることによって入力される2つの

信号に対してバイアス信号を付加する。

【0244】バイアス部制御パルス1250は、バイアス部1105から出力されるバイアス信号を制御するための入力パルスであり、第1バイアス・ゲート・パルス $\phi$ GBF(1252)、並びに、第2バイアス・ゲート・パルス $\phi$ GBS(1253)が含まれる。

【0245】出力部1106は、比較部1104の比較結果信号を画素信号1107として単位画素の外部に出力する。

【0246】出力部制御パルス1260は、出力部1106の動作制御を行うための入力パルスであり、出力ゲート・パルス $\phi$ GOUT(1261)が含まれる。

【0247】次に、上述した単位画素においてアナログ信号量である受光強度をデジタル信号に変換する原理の説明について、図16を参照しながら説明する。

【0248】まず、画素が受光してから記憶部1102、1103のうちいずれか一方に信号を記憶し、それを読み出してから比較処理を行って出力する一連の期間を、本明細書では「1フレーム」と定義しておく。

【0249】図16に示したグラフの横軸は、受光部1100において受光してから比較結果が出力されるフレームが何回繰り返されるか、すなわち何回比較処理が行われた時に画素出力が0から1に反転するかというフレーム番号を示している。そして、最大のフレーム数を $F_{MAX}$ と定義し、 $F_{MAX}$ の回数だけ比較処理を繰り返して、1回の撮像を完了するものとする。

【0250】また、図16に示すグラフの縦軸は、受光部1100における光強度の信号量 $S$ を表している。非常に明るい光を受光した場合の信号量の時間的変化をVB(1051)とし、それよりわずかに弱い光の場合をVB'(1052)とする。また、明るい光の場合をB(1053)、中位の明るさの場合をM(1054)、暗い光を受光した場合をD(1055)、非常に暗い場合をVD(1056)として、それぞれ光を受光したときの信号量の時間的変化を直線で表現している。同図に示す例では、明るさの違いは直線の傾き、すなわち信号量の時間的変化的大小で表現されると仮定している。したがって、明るい光ほど傾きが急で、暗い光ほど傾きは緩やかであるとしている。

【0251】さて、ここで、信号量が $R_H$ で時間的に一定であるような基準信号を考える。そして、それぞれの明るさの時間変化に対応する直線が、その基準信号レベル $R_H$ に交わるまでに必要なフレーム数あるいは時間を求める。少ないフレーム数で基準レベルと交わるほど明るく、多くのフレーム数で交わるほど暗いという性質を利用することによって、受光した光の明るさを表現することができる。フレーム数は離散的すなわちデジタル量であるから、結果として得られる明るさもデジタル量として表現されることになる。

【0252】上記の条件では 図示の通り VR(10

51)との交点に対応するフレーム番号は $F_{VB1}$ である。また、VB'(1052)との交点は $F_{VB'1}$ であり、B(1053)との交点は $F_{B1}$ であり、そしてM(1054)との交点は $F_{M1}$ となっている。一方、D(1055)並びにVD(1056)は交点が存在しない。

$$\begin{aligned}I_{VB} &= K / F_{VB1} \\I_{VB'} &= K / F_{VB'1} \\I_B &= K / F_{B1} \\I_M &= K / F_{M1}\end{aligned}$$

【0255】さて、基準信号レベルを $R_H$ としたとき、上記のように暗い光D1055、並びに非常に暗い光VD1056は、ここで設定している最大時間あるいは最大フレームの間には交点を持たないので明るさを表現することができない。そこで、基準信号レベルを $R_H$ から $R_M$ につり上げると、図16から判るように、直線D(1055)はフレーム $F_{D2}$ で交点を持つようになる。そして、基準レベルをさらにつり上げて $R_L$ とすると、さらに直線VDがフレーム $F_{VD3}$ で交わることが判る。

$$\begin{aligned}I_{VB} &= K / F_{VB1} \\I_{VB'} &= K / F_{VB'1} \\I_B &= K / F_{B3} \\I_M &= K / F_{M3} \\I_D &= K / F_{D3} \\I_{VD} &= K / F_{VD3}\end{aligned}$$

【0258】ここで注意しなければならないのは、上記の(式11)は(式7)と同じであり、また、本来明るさが異なるはずの(式12)とも同じになっているという点である。これは、フレーム $F_{VB1}$ が時間軸の最小単位で、最初のフレームに相当している場合に生じる現象である。言い換えれば、最初のフレームで画素出力が1であった場合、実際の明るさが違っても、上式のように表現する限りでは明るさの違いを識別することが不可能となってしまう。このような現象を避けるためには、明るい光に対しては基準レベルを低く設定するほどよい、ということが判る。

【0259】これまでの議論により、暗い光を検出して明るさとして表現するためには、基準レベルを上げる（これはゲインを上げることに相当する）必要がある。一方、明るい光を表現するためには、基準レベルを下げる（これはゲインを下げることに相当する）必要がある。そこで、暗い光から明るい光に至るまで、ダイナミック・レンジの広い範囲で明るさを表現するためには、

$$\begin{aligned}I_{VB} &= K / F_{VB} \\I_{VB'} &= K / F_{VB'} \\I_B &= K / F_B \\I_M &= K / F_M \\I_D &= K / F_D \\I_{VD} &= K / F_{VD}\end{aligned}$$

【0263】図17に従う明るさの表現方法によれば

【0253】この場合、受光した光の明るさを、定数Kと基準信号レベルと交点のフレーム番号を用いて下式のように表すことができる。すなわち、

【0254】

【数5】

$$(式7)$$

$$(式8)$$

$$(式9)$$

$$(式10)$$

すなわち、基準レベルを上げることによって、明るさのゲインを大きくすることと等価の処理を行っていると考えることができる。

【0256】例えば基準レベルを $R_L$ としたときのそれぞれの光の明るさを、下式のように表現することができる。すなわち、

【0257】

【数6】

$$(式11)$$

$$(式12)$$

$$(式13)$$

$$(式14)$$

$$(式15)$$

$$(式16)$$

明るい光が検出される時間的に早い期間、すなわちフレーム数の小さい範囲では、基準レベルを低く設定しておき、時間の経過とともに基準レベルを徐々につり上げていけばよいということを、当業者であれば理解できるであろう。

【0260】図17には、そのような基準レベルの設定方法の一例を示している。同図に示す例では、最初の基準レベルは $R_H$ から始まって徐々に（すなわち時間の経過とともに階段状に）上昇していき、最終的には $R_L$ になっている。基準レベルの上昇の仕方は、1フレーム毎に少しづつ変化させてもよいし、数フレーム毎に変化させてもよい。

【0261】図17に示す明るさ変換ダイナミック・レンジ拡張原理に従えば、それぞれの明るさを表す直線と基準レベルとの交点から、受光したそれぞれの光の明るさは、以下のように表現される。すなわち、

【0262】

【数7】

$$(式17)$$

$$(式18)$$

$$(式19)$$

$$(式20)$$

$$(式21)$$

$$(式22)$$

非常に明るいVB(1051)も、非常に暗いVD(1)

056)も同時にすなわち同じ系で表現可能となる。

【0264】次いで、上述したようなダイナミック・レンジの広い撮像を実現可能とする方式を採用した実装回路の例について説明する。

【0265】図18には、図15に示した像素子の単位画素の各ブロックに関する1つの実装例を示している。

【0266】図19には、この単位画素のうち、受光部1100と増幅部1101の内部構成を詳細に示している。

【0267】受光部1100は、フォトダイオード(PD)1301と、転送トランジスタ(TX)1302と、フローティング・ディフュージョン(FD)1033と、リセット・トランジスタ(RST)1304から構成されている。そして、リセット・トランジスタ1304にはリセット・パルス( $\phi$ RST)1201が与えられるとともに、転送トランジスタ(TX)1302には転送パルス( $\phi$ TX)1202が与えられている。各入力パルス1201, 1202は受光部制御パルス1200(前述)に相当する。

【0268】さて、リセット・トランジスタRST1304には、リセット電圧(VR)1203が印加されているので、リセット・パルス $\phi$ RST1201を入力することによって、リセット・トランジスタRST1304がオン状態に切り替わると、フローティング・ディフュージョンFD1303はリセット電圧VR1203の値によって決まる電位にリセットされる。そして、転送パルス $\phi$ TX1202によって転送トランジスタTX1302がオンすると、フォトダイオードPD1301で光電変換された電子がフローティング・ディフュージョンFD1303に転送されて、その電子数に応じた電位がフローティング・ディフュージョンFD1303に発生することになる。

【0269】フローティング・ディフュージョンFD1303の電位は受光量に対応しており、フォトダイオードPD1301が飽和しない限り、ほぼ明るさに比例すると考えられる。そして、明るいほど、すなわち受光量が多いほど光電変換で発生する電子数は多いので、フローティング・ディフュージョンFD1303の電位は低下し、逆に、暗いほど発生する電子数が少なくなるのでフローティング・ディフュージョンFD1303の電位は高くなる。

【0270】増幅部1101は、増幅トランジスタ(QA)1311と、増幅部読出し第1ゲート(AGF)1312と、増幅部読出し第2ゲート(AGS)1313と、カレント・ミラー回路1314及び1315とから構成されている。そして、増幅部読出し第1ゲートAGF1312及び増幅部読出し第2ゲート(AGS)1313には増幅部制御パルス1210としての増幅部読出パルス( $\phi$ AG)1211がそれぞれ与えられて

る。

【0271】いま、増幅トランジスタQA1311のゲートには、受光部1100側のフローティング・ディフュージョン1303における電位が印加されている。この状態で増幅部読出しパルス $\phi$ AG1211が与えられると、増幅トランジスタQA1311のソース・ゲート間電位で決まる電流が増幅部読出し第1ゲートAGF1312及びミラー・トランジスタ1314を通して流れ、ミラー・トランジスタ1315と1314のサイズで決定される増幅された電流が増幅部第2ゲートAGS1313とミラー・トランジスタ1315を流れるようになっている。

【0272】そして、フローティング・ディフュージョンFD1303の電位が高いほど、多くの電流が流れれる。すなわち、受光した光が暗いほど増幅部第2ゲートAGS1313とミラー・トランジスタ1315を流れる電流は大きくなり、明るいほどその電流は小さくなる。

【0273】また、図20には、図15に示した単位画素のうち、第1記憶部1102と第2基億部1103の内部構成を詳細に示している。

【0274】第1記憶部1102は、第1記憶トランジスタ(QMF)1321と、第1記憶トランジスタ・スイッチ(MSWF)1322と、第1記憶ゲート(MGF)1323から構成されている。そして、第1記憶トランジスタ・スイッチMSWF1322には第1記憶パルス( $\phi$ MSWF)1221が、また、第1記憶ゲートMGF1323には第1記憶ゲート・パルス( $\phi$ MGF)1222が、第1記憶部制御パルス1220(前述)としてそれぞれ与えられている。

【0275】同様に、第2記憶部1103は、第2記憶トランジスタ(QMS)1331と、第2記憶トランジスタ・スイッチ(MSWS)1332と、第2記憶ゲート(MGS)1333とから構成されている。そして、第2記憶トランジスタ・スイッチMSWS1332には第2記憶パルス( $\phi$ MSWS)1231が、また、第2記憶ゲートMGS1333には第2記憶ゲート・パルス( $\phi$ MGS)1232が、第2記憶部制御パルス1230としてそれぞれ与えられている。

【0276】そして、第1記憶ゲートMGF1323と第2記憶ゲートMGS1333はともに増幅部1101に接続されており、上述したカレントミラーで増幅された信号電流を入力できるようになっている。

【0277】さて、第1記憶部1102及び第2記憶部1103は、いわゆるカレントコピア回路、若しくはダイナミック・カレントミラー回路構成となっており、次のような動作で信号電流を記憶することができる。

【0278】まず、第1記憶ゲートMGF1323が第1記憶パルス $\phi$ MGF1222によってオン状態となっている期間に、第1記憶トランジスタ・スイッチMSW

F1322を第1記憶パルス $\phi$ MSWF1221によってオンに切り替えることによって第1記憶トランジスタQMF1321のゲートとドレインが短絡され、第1記憶ゲートMGF1323を通して信号電流が、いわゆる飽和領域動作の第1記憶トランジスタQMF1321に流れることになる。そして、第1記憶トランジスタ・スイッチMSWF1322だけをオフに切り替えても信号電流は流れ続けているので、第1記憶トランジスタQMF1321のゲート電位は、その信号電流を流すのに必要な値を保持することになる。次に、第1記憶ゲートMGF1323をオフに切り替えることによって信号電流は流れなくなるが、第1記憶トランジスタQMF1321のゲート電位が保持されている限りは、信号電流は記憶されていることになる。

【0279】すなわち、第1記憶ゲート・パルス $\phi$ MGF1222によって再び第1記憶ゲートMGF1323がオンに切り替えられると、保持されている第1記憶トランジスタQMF1321のゲート電位によって記憶されていた信号電流が再び流れ出すことになる。第2記憶部1103も上述と同様の動作によって第2記憶トランジスタQMS1331に信号電流を記憶することができる。

【0280】また、図21には単位画素のうちバイアス部1105の内部構成を詳細に示している。

【0281】バイアス部1105は、第1バイアス・トランジスタ(QBF)1351と、第2バイアス・トランジスタ(QBS)1352と、第1バイアス・ゲート(GBF)1353と、第2バイアス・ゲート(GBS)1354とで構成されている。そして、バイアス部制御パルス1250として、第1バイアス・トランジスタQBF1351と第2バイアス・トランジスタQBS1352にはバイアス電圧(VB)1251が、第1バイアス・ゲートGBF1353には第1バイアス・ゲート・パルス( $\phi$ GBF)1252が、第2バイアス・ゲートGBS1354には第2バイアス・ゲート・パルス( $\phi$ GBS)1253がそれぞれ与えられている(前述)。

【0282】そして、第1バイアス・ゲートGBF1353と第2バイアス・ゲートGBS1354の出力は第1記憶部1102及び第2記憶部1103の出力に接続されており、各記憶部1102, 1103から出力される信号電流にバイアス電流を加算できるようになっている。

【0283】第1バイアス・トランジスタQBF1351と第2バイアス・トランジスタQBS1352の各ゲートには同じバイアス電圧VB1251が印加されているので、そのトランジスタ・サイズに応じた電流を流すことができるようになっている。したがって、第1バイアス・ゲートGBF1353に第1バイアス・ゲート・パルス $\phi$ GBF1252が印加されかねまに流れ出るバ

イアス電流の大きさと、第2バイアス・ゲートGBS1354に第2バイアス・ゲート・パルス $\phi$ GBS1253が印加されて流れ出るバイアス電流の大きさの違いを与えることが可能となる。

【0284】また、図22には、比較部1104並びに出力部1106の内部構成をそれぞれ詳細に示している。

【0285】比較部1104は、負荷トランジスタ(QL)1341と、第1キャパシタ(CF)1342と、第1インバータ(INVF)1343と、第1インバータ短絡スイッチ(SWINVF)1344と、第2キャパシタ(CS)1345と、第2インバータ(INVS)1346と、第2インバータ短絡スイッチ(SWINVS)1347とで構成されている。そして、負荷トランジスタQL1341には負荷パルス( $\phi$ QL)1241が、第1インバータ短絡スイッチSWINVF1344には第1インバータ短絡パルス( $\phi$ INVF)1242が、第2インバータ短絡スイッチSWINVS1347には第2インバータ短絡パルス( $\phi$ INVS)1243が、比較部制御パルス1240(前述)としてそれぞれ与えられている。

【0286】そして、負荷トランジスタQL1341は、第1記憶部1102、第2記憶部1103、及びバイアス部1105の各出力に接続されており、これらから出力される信号電流を入力するようになっている。

【0287】さて、図示の比較部1104は、いわゆるチョッパ型比較器の構成をとっており、比較器内部の動作点によるオフセットをリセットする期間に入力された信号と、リセットが完了した後に入力される信号の大小に応じた出力が得られるようになっている。

【0288】まず、負荷トランジスタQL1341を負荷パルス $\phi$ QL1241の印加によってオンに切り替えることにより、比較対象の信号電流("IZ"とする)の大きさに応じた電位VZが第1キャパシタCF1342の第1インバータINVF1343と反対側の電極に発生する。

【0289】このとき、第1インバータ短絡パルス $\phi$ INVF1242の印加によって第1インバータ短絡スイッチSWINVF1344をオンに切り替えることによって第1インバータINVF1343を短絡すると、第1インバータINVF1343の入力側及び出力側いずれの電位も同じ値(第1インバータINVF1343の動作点電位VTHF)となり、第1キャパシタCF1342にはVZ-VTHFの電圧に相当する電荷が蓄積されることになる。

【0290】後段の第2インバータINVS1346を第2インバータ短絡スイッチSWINVS1347によって同時に短絡しておけば、第2インバータINVS1346の動作点電位をVTHSとすると、同様に、第2キャパシタCS1345にはVTHF-VTHSなる電

圧に相当する電荷が蓄積されることになる。

【0291】そして、第1インバータINVF1343の短絡を解除し、その後、第2インバータINVS1346の短絡を解除しておく。

【0292】これに引き続き、比較するもう一方の信号電流（“IY”とする）を流して、再び負荷パルス $\phi$ QL1241を印加することによって、IYに応じた負荷電位VYを負荷トランジスタQL1341に発生させる。これにより、第1キャパシタCF1342の負荷トランジスタQL1341側の電位は、先のVZからVYに変化することになる。

【0293】ここで、第1インバータINVF1343の入力側容量が第1キャパシタCF1342に比べて無視できるほど小さいと仮定すれば、VYがVZより大きければ、第1キャパシタCF1342の第1インバータINVF1343側電位はVTHFより上昇する。逆に、VYがVZより小さければ、第1インバータINVF1343の入力側電位は下降することが判る。したがって、VY>VZのとき、第1インバータINVF1343の出力はロー・レベルとなり、VY<VZならば、第1インバータINVF1343の出力はハイ・レベルとなる。

【0294】このような動作に連動して、第2キャパシタCS1345の両端電位も上昇若しくは下降するので、結局、比較部1104の出力すなわち第2インバータINVS1346の出力は、比較する信号の大小に応じて、IY>IZ（VY>VZ）のときにハイ・レベルとなり、IY<IZ（VY<VZ）のときにロー・レベルとなる。

【0295】出力部1106は、出力アンプ（BAM P）1361と、出力ゲート（GOUT）1362とで構成されている。そして、出力部制御パルス1260として、出力ゲート・パルス（ $\phi$ GOUT）1261が与えられている。

【0296】そして、出力ゲート・パルス $\phi$ GOUT1261が印加されたときに、比較部1104の出力を適切なレベルに変換した信号レベルの画素出力（POUT）1107を垂直信号線1013に出力するようになっている。

【0297】次に、アナログ信号である受光量をデジタル信号に変換する仕組みについて、図23に示した明るさ変換タイミング・チャートを参照しながら説明する。

【0298】まず、基準信号記憶期間においては、第1記憶部1102に基準信号電流を記憶する動作を行う。

【0299】受光部1100において、リセット電圧1203をV<sub>REF</sub>に設定した状態で、リセット・パルス $\phi$ RST1201を印加して、フローティング・ディフュージョンFD1303の電位をV<sub>REF</sub>に相当する値に設定する。

【0300】続いて、增幅部1101において增幅部読

出しパルス $\phi$ AGを印加して増幅部読出し第1ゲートAGF1312及び増幅部読出し第2ゲートAGS1313を導通させ、フローティング・ディフュージョンFD1303の電位によって決まる電流を増幅トランジスタQA1311に発生させ、さらにカレントミラー1314, 1315によって増幅された電流（I<sub>REF</sub>とする）を得る。

【0301】このとき、第1記憶部1102で、第1記憶パルス $\phi$ MSWF1221と第1記憶ゲート・パルス $\phi$ MGF1222を同時に印加することによって、第1記憶ゲートMGF1323を介して第1記憶トランジスタQMF1321に上記電流I<sub>REF</sub>が流れることになる。

【0302】その後、最初に第1記憶パルス $\phi$ MSWF1221をロー・レベルに落として第1記憶トランジスタQMF1321の短絡を解除し、続いて、第1記憶ゲート・パルス $\phi$ MGF1222を解除することによって、第1記憶トランジスタQMF1321に先の電流I<sub>REF</sub>を記憶することができる。

【0303】以上で基準信号記憶期間の処理は完了である。

【0304】次に、第1フレームでの処理を行う。

【0305】受光部1100において、リセット電圧1203をV<sub>REF</sub>よりも高い電源電圧V<sub>DD</sub>に設定した状態で、リセット・パルス $\phi$ RST1201を印加して、フローティング・ディフュージョンFD1303の電位をV<sub>DD</sub>に相当する値に設定しておく。

【0306】このとき、フォトダイオードPD1301では、先の基準信号記憶期間に受光して光電変換された電子が蓄積されているので、転送パルス $\phi$ TX1202を印加してフォトダイオードPD1301からフローティング・ディフュージョンFD1303に電子を転送することによって、フローティング・ディフュージョンFD1303をその電子数に応じた電位にすることができる。

【0307】続いて、増幅部1101において増幅部読出しパルス $\phi$ AG1211を印加して増幅部第1ゲートAGF1312及び増幅部第2ゲートAGS1313を導通させ、フローティング・ディフュージョンFD1303の電位によって決まる電流を増幅トランジスタQA1311に発生させ、カレントミラー1314, 1315によって増幅された電流（“I<sub>F1</sub>”とする）を得る。

【0308】このとき、第2記憶部1103で第2記憶パルス $\phi$ MSWS1231と第2記憶ゲート・パルス $\phi$ MGS1232を同時に印加することによって、第2記憶ゲートMGS1333を介して第2記憶トランジスタQMS1331に上記電流I<sub>F1</sub>が流れることになる。

【0309】その後、最初に第2記憶パルス $\phi$ MSWS1231をロー・レベルに落として第2記憶トランジ

タQMS1331の短絡を解除し、続いて、第2記憶ゲート・パルス $\phi$ MGS1232を解除することによって第2記憶トランジスタQMS1331に先の電流 $I_{F1}$ を記憶することができる。

【0310】この後、第1記憶部1102に記憶された基準信号 $I_{REF}$ と第2記憶部1103に記憶された第1フレームにおける信号電流 $I_{F1}$ の比較動作を行う。

【0311】まず、第2記憶ゲート・パルス $\phi$ MGS1232と負荷パルス $\phi$ QL1241を印加することによって、第2記憶部1103内の第2記憶トランジスタQMS1331に記憶しておいた $I_{F1}$ を、比較部1104内の負荷トランジスタQL1341に流す。

【0312】さらに、同時に第2バイアス・ゲート・パルス $\phi$ GBS1253を印加して第2バイアス・ゲートGBS1354を導通し、 $V_{BIAS}1251$ を印加することによって第2バイアス・トランジスタQBS1352で発生するバイアス電流（“ $I_{BS}$ ”とする）も負荷トランジスタQL1341に流しているので、負荷トランジスタQL1341には信号電流 $I_{F1}$ と $I_{BS}$ によって決まる電圧 $Y_{F1}$ が発生する。

【0313】このとき、第1インバータ短絡パルス $\phi$ INVF及び第2インバータ短絡パルス $\phi$ INVSを印加することによって、第1インバータINVF1343と第2インバータINVS1346の入出力を同時に短絡し、比較部1104の動作点オフセットをリセットしておく。

【0314】この時点では、第1キャパシタCF1342の両端には、 $Y_{F1}-V_{THF}$ なる電圧がかかることになる。

【0315】次に、第1記憶ゲート・パルス $\phi$ MGF1222と負荷パルス $\phi$ QL1241を同時に印加することによって、第1記憶部1102内の第1記憶トランジスタQMF1321に記憶されていた基準信号電流 $I_{REF}$ を比較部1104内の負荷トランジスタQL1341に流す。

【0316】このとき、同時に第1バイアス・ゲート・パルス $\phi$ GBF1252を印加して第1バイアス・ゲートGBF1353を導通し、 $V_{BIAS}1251$ によって第1バイアス・トランジスタQBF1351で発生するバイアス電流（“ $I_{BF}$ ”とする）も負荷トランジスタQL1341に流す。

【0317】負荷トランジスタQL1341には、基準信号電流 $I_{REF}$ とバイアス電流 $I_{BF}$ が同時に流れることによって、電圧 $Y_{REF}$ が発生する。

【0318】先に示した比較器の動作原理により、 $Y_{F1}$ と $Y_{REF}$ の大小関係に応じたレベルが比較部1104の出力となり、出力部1106で出力アンプ1361を通して、出力ゲート・パルス $\phi$ GOUT1261を印加することによって、画素出力POUT1107として垂直信号線1013に出力される。

【0319】すなわち、 $I_{F1} > I_{REF}$  ( $Y_{F1} > Y_{REF}$ ) ならば、画素出力POUT1107はロー・レベルとなり、また、 $I_{F1} < I_{REF}$  ( $Y_{F1} < Y_{REF}$ ) ならば画素出力POUT1107はハイ・レベルとなる。

【0320】第2フレーム以降は、リセット・パルス $\phi$ RST1201によるフローティング・ディフュージョンFD1303のリセット動作をしない。したがって、それまでのフレームで蓄積された電子数に、そのフレームで光電変換により発生した電子が追加されて決まる電位がフローティング・ディフュージョンFD1303に生じることになる。

【0321】例えば、第2フレームでは、第1フレームでフローティング・ディフュージョンFD1303に蓄積された電子に加えて、第1フレーム期間中に光電変換によって発生した電子を転送パルス $\phi$ TX1202の印加によってフローティング・ディフュージョンFD1303に転送し、その合算された電子数に応じてフローティング・ディフュージョンFD1303の電位が決定される。

【0322】そして、このように決定された電位によって增幅部1101内のカレントミラー回路から得られる電流 $I_{F2}$ （第2フレーム）、 $I_{F3}$ （第3フレーム）、 $I_{F4}$ （第4フレーム），…を第2記憶部1103内の第2記憶トランジスタQMS1331に記憶することになる。

【0323】基準電流 $I_{REF}$ との比較動作は第1フレームの動作と同じである。

【0324】以上で説明した動作は、基準レベルを固定にしたときに受光量をフレームの数で表されるデジタル量に変換する場合を示している。

【0325】上記では、基準レベルを、基準信号記憶期間におけるリセット電圧VR1203の値によって設定し、さらに信号電流に付加されるバイアス電流をバイアス部1105内の第1バイアス・トランジスタQBF1351又は第2バイアス・トランジスタQBS1352のうちいずれから供給するかで決定しているが、勿論バイアス電流をまったく加えなくてもデジタル変換は可能である。

【0326】すなわち、第1バイアス・ゲート・パルス $\phi$ GBF1252や第2倍明日・ゲート・パルス $\phi$ GBS1253をロー・レベルに固定しておき、 $I_{BF} = I_{BS} = 0$ として、 $V_{REF}$ と $V_{DD}$ の差に相当する電流の差だけが基準信号レベルを決定することになる。

【0327】一方、逆にリセット電圧VR1203を $V_{DD}$ に固定したまま（すなわちすべてのフレームで一定）、バイアス電流の制御だけでデジタル変換することも可能である。その場合は、 $I_{BF}$ と $I_{BS}$ の差が、 $V_{REF}$ と $V_{DD}$ に相当する電流の差になるようにそれぞれを設定すればよい。

【0328】さて、いずれにしても上記動作では、図1

6を参照しながら既に説明したように、非常に明るい光から非常に暗い光の全ての光を表現できるとは限らない。そこで、本実施形態においてダイナミックレンジを拡張する方法について、図24並びに図25を参照しながら以下に説明する。

【0329】本実施形態では、図18に示したような単位画素の回路構成において、バイアス電流が時間とともに変化するようにして、基準信号が図17に示したように時間的変化をするのと同様の効果を付与することによって、ダイナミック・レンジの拡張を図っている。

【0330】そのために、図24に示すように、バイアス電圧VB1251を最初のフレームでVB=VB1としておき、フレーム毎、若しくは数フレーム毎に徐々にその値を増加させて、最終フレームF<sub>MAX</sub>でV<sub>B</sub>=V<sub>BM</sub>となるように制御する。一方、リセット電圧VR1203は、V<sub>DD</sub>のままで最終フレームまで一定とする。

【0331】図25は、図23に例示したものとほぼ同じタイミングチャートであるが、基準信号記憶期間でも、リセット電圧VR1203はV<sub>DD</sub>となっている。そして、第1記憶部1102にこの状態で基準信号を記憶する。

【0332】第1フレーム以降において、図23と異なるところは、第1記憶部1102の信号を読出して、第2記憶部1103に記憶されている受光強度に応じた信号と比較する際に、第1バイアス・ゲート・パルスG<sub>BF1252</sub>はハイ・レベルになって、第1バイアス・トランジスタQ<sub>BF1351</sub>からのバイアス信号も加算するが、第2バイアス・ゲート・パルスG<sub>BS1253</sub>はロー・レベルのままでし、第2バイアス・トランジスタQ<sub>BS1352</sub>で発生するバイアス電流は加算しないようになる。このような駆動制御を行うことによって、バイアス電圧VB1251を変化させて第1バイアス・トランジスタQ<sub>BF1351</sub>で発生するバイアス電流を可変とし、フレーム毎若しくは数フレーム毎に基準信号レベルを変えることが可能となる。

【0333】したがって、図17、並びに上記の(式17)～(式22)に示すような原理により、ダイナミック・レンジの広がった撮像結果が得られることになる。

【0334】最後に、図13並びに図14を参照しながら、各画素出力の処理方法について説明する。

【0335】画素出力POUT1107の信号レベルは、フレーム毎に垂直信号線1013を通して水平出力回路1030へ転送される。水平出力回路1030では、各画素列から並列的に転送されてきた画素出力POUT1107をシリアルに変換して撮像素子の外部に出力するか、若しくは各画素列毎にそのまま並列に撮像素子の外部に出力する2通りの出力形態が考えられる。

【0336】撮像素子1001から出力された画素信号は、信号処理部1003に入力されて、画素毎にその信号がハイ・レベルかロー・レベルかをチェックする。そ

して、ハイ・レベルであれば、そのときのフレーム番号をフレーム・メモリ1004内に画素毎に用意されたアドレスに書き込むようになっている。但し、書き込みは最初にハイ・レベルになったときだけとし、2回目以降は書き込まないようになっている。そして、このときに書き込まれたフレーム番号こそが、明るさを表現するための値となる。

【0337】この明るさを表示部1006に表示するためには、次のような手順に従う。

【0338】まず、フレーム・メモリ1004に記憶されたフレーム番号を画素毎に読み出して、信号処理部1003において、その値を上記の(式17)～(式22)を用いて変換する。この処理はデジタル信号の演算機能を用いれば簡単に実現できることは当業者には理解できるであろう。そして、その変換されたデジタル信号を、デジタル・アナログ変換部1005に画素毎に順次転送して、表示部1006に適したアナログ信号に変換する。

【0339】これは、例えばNTSC(National Television System Committee)信号やVGA(Video Graphic Array)信号などの標準的な映像信号に変換することを意味する。

【0340】そして、デジタル・アナログ変換部1005からの出力は表示部1006で表示される。

【0341】〔追補〕以上、特定の実施例を参考しながら、本発明について詳解してきた。しかしながら、本発明の要旨を逸脱しない範囲で当業者が該実施例の修正や代用を成し得ることは自明である。すなわち、例示という形態で本発明を開示してきたのであり、限定的に解釈されるべきではない。本発明の要旨を判断するためには、冒頭に記載した特許請求の範囲の欄を参照すべきである。

【0342】

【発明の効果】以上詳記したように、本発明によれば、小型・軽量に構成された優れた撮像装置及びその駆動制御方法を提供することができる。

【0343】また、本発明によれば、CMOS(Complementary Metal-Oxide Semiconductor: 相補性金属酸化膜半導体)などの半導体製造技術を用いて実現される、優れた撮像装置及びその駆動制御方法を提供することができる。

【0344】また、本発明によれば、各画素における検出信号を処理するためのさまざまな回路モジュールを同じチップ上に集積してなる、優れた撮像装置及びその駆動制御方法を提供することができる。

【0345】また、本発明によれば、フォト・ダイオード出力に対するAD(Analog-to-Digital)変換処理並びに他の1以上の演算処理と同じチップ上の回路モジュールを用いて実現することができる、優れた撮像装置及びその駆動制御方法を提供することができる。

【0346】本発明によれば、被写体の明るさの時間的な変化を演算する回路構成を持つ撮像素子を用いて、被写体の明るさというアナログ量をデジタル量に変換することができる。したがって、専用のアナログ-デジタル変換回路を搭載する必要がなく、同等の機能を持つ他の方式に比べて回路規模の抑制を行うことができる。

【0347】また、本発明によれば、アナログ量からデジタル量に変換するA/D変換処理において、基準信号レベルと被写体の明るさを積分する時間刻みを調整することによって、いわゆるダイナミック・レンジの広い撮像を実現することができる。

【0348】また、本発明によれば、各画素の検出信号をアナログ量からデジタル量へ変換する際に、被写体の明るさを時間的に積分することによって、いわゆるランダム・ノイズに強い撮像を実現することができる。

【0349】また、本発明によれば、受光信号強度をアナログ値からデジタル値に変換する際に、同時にダイナミック・レンジを拡大して、暗い領域から明るい領域に至るまで再現した画像を得ることができる、優れた撮像装置及びその駆動制御方法を提供することができる。そして、各画素に供給する駆動パルスのタイミングやパルスの有り無しを変更することによって、受光信号強度を表現する方法を自由に変更することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る撮像素子の回路構成を模式的に示した図である。

【図2】本発明の第1の実施形態に係る撮像素子に組み込まれた画素の内部構成を示した図である。

【図3】本発明を実現する単位画素の回路構造を詳細に示した図である。

【図4】図3に示す単位画素において、アナログ量である明るさをデジタル量に変換する原理図である。

【図5】(式1)～(式3)から得られる一般式(式4)をグラフ上にプロットした図である。

【図6】(式4)をさらに変形して得た(式5)をグラフ上にプロットした図である。

【図7】(式4)と(式5)とを用いて検出時刻TDを消すことによって求められた明るさVDとVD\*との関係式(式6)をグラフ上にプロットした図である。

【図8】図3に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るために動作タイミング・チャートを示した図である。

【図9】図3に示す単位画素において、アナログ量である明るさをデジタル量に変換するための信号を得るために動作フローチャートを示した図である。

【図10】図1に示す構成の撮像素子において、アナログ量である明るさをデジタル量に変換した信号を得るために動作タイミング・チャートを示した図である。

【図11】図3に示す単位画素において、明るさの時間的な変化を演算して変化が急峻となる時刻を検出する

ための、各クロック・パルスの動作タイミング・チャートを示した図である。

【図12】明るさの時間的な変化を演算して、変化が急峻となる時刻を検出するための、各単位画素における動作フローチャートを示した図である。

【図13】本発明の第2の実施形態に係る撮像素子1001を適用した撮像システム全体の構成例を模式的に示した図である。

【図14】本発明の第2の実施形態に係る撮像素子1001の回路構成を模式的に示した図である。

【図15】撮像素子1を構成する単位画素の構造を模式的に示した図である。

【図16】アナログ信号量である受光強度をデジタル信号に変換する原理を説明するための図である。

【図17】明るさ変換ダイナミック・レンジの拡張原理を示した図である。

【図18】図15に示した撮像素子の単位画素の各ブロックに関する1つの実装例を示した図である。

【図19】単位画素のうち、受光部1100と増幅部1101の内部構成を詳細に示した図である。

【図20】単位画素のうち、第1記憶部1102と第2基憶部1103の内部構成を詳細に示した図である。

【図21】単位画素のうち、バイアス部1105の内部構成を詳細に示した図である。

【図22】単位画素のうち、比較部1104並びに出力部1106の内部構成を詳細に示した図である。

【図23】明るさ変換のタイミング・チャートを示した図である。

【図24】バイアス電圧変換のタイミング・チャートを示した図である。

【図25】ダイナミック・レンジ拡張タイミング・チャートを示した図である。

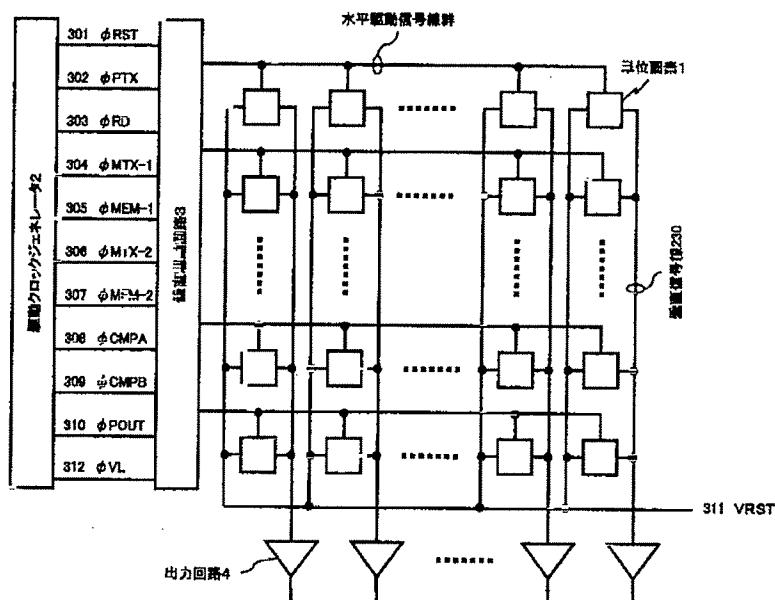
#### 【符号の説明】

- 1…画素
- 2…駆動クロック・ジェネレータ
- 3…垂直駆動回路
- 10…受光部
- 20…第1増幅部
- 30…第2増幅部
- 40…記憶部
- 50…負荷部及び演算部
- 55…バイアス部
- 60…出力部
- 1001…撮像素子
- 1002…信号発生器
- 1003…信号処理部
- 1004…フレーム・メモリ
- 1005…デジタル-アナログ変換部
- 1006…表示部
- 1011…単位画素

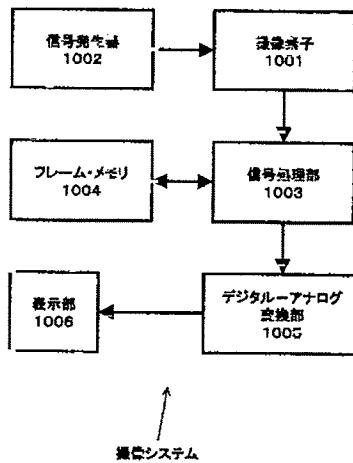
1012…画素制御信号  
1013…垂直信号線  
1030…水平出力回路  
1100…受光部  
1101…增幅部

1102…第1記憶部  
1103…第2記憶部  
1104…比較部  
1105…バイアス部  
1106…出力部

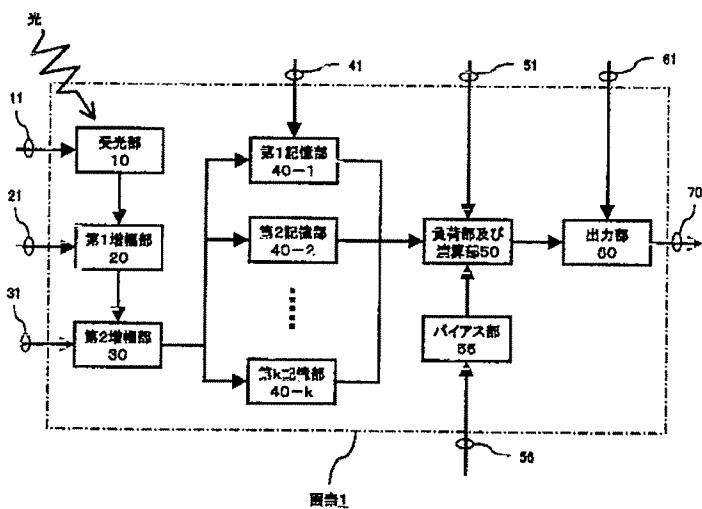
【図1】



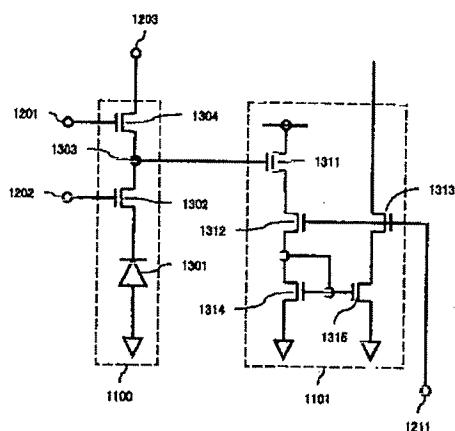
【図13】



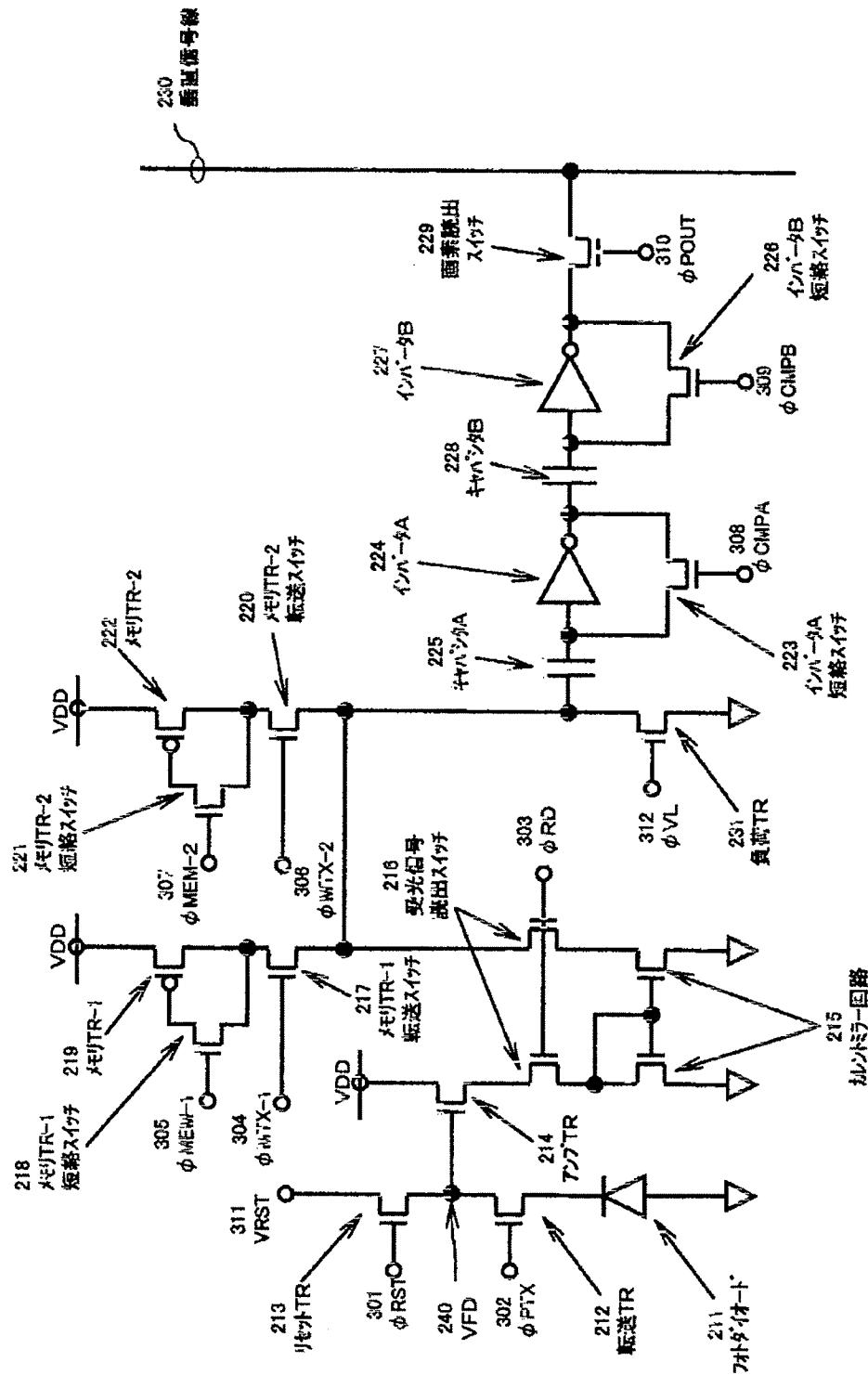
【図2】



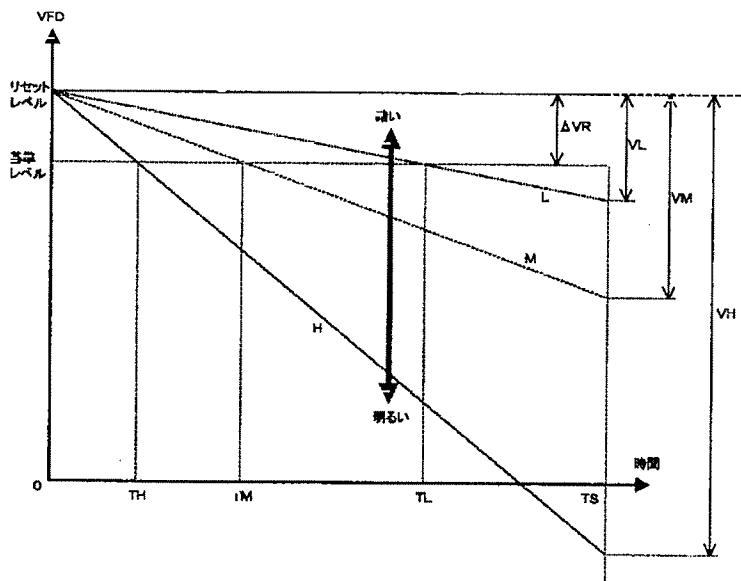
【図19】



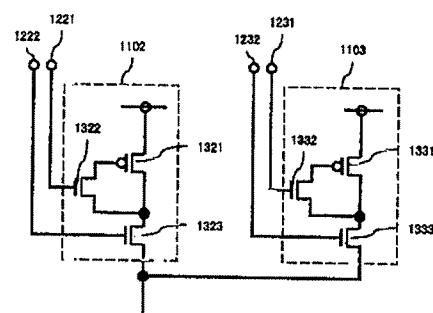
【図3】



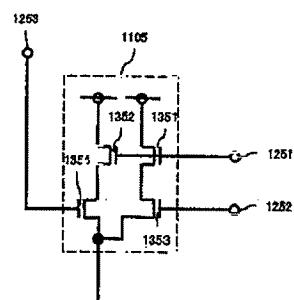
【図4】



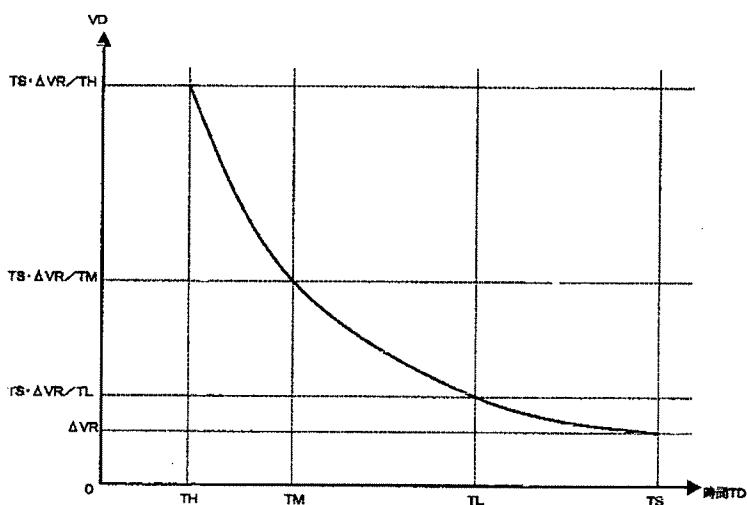
【図20】



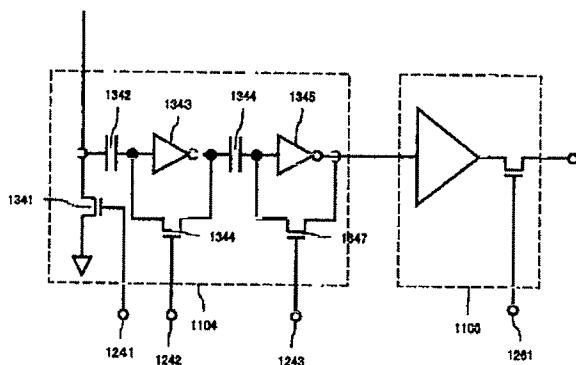
【図21】



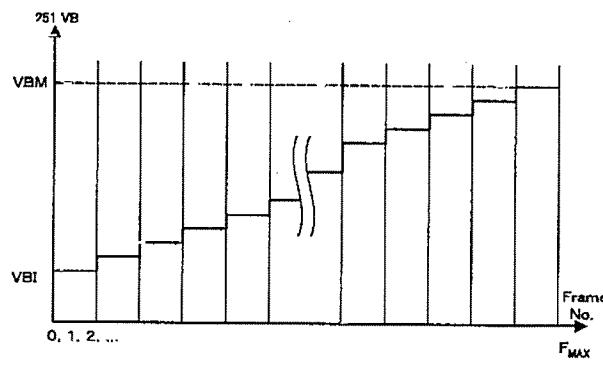
【図5】



【図22】

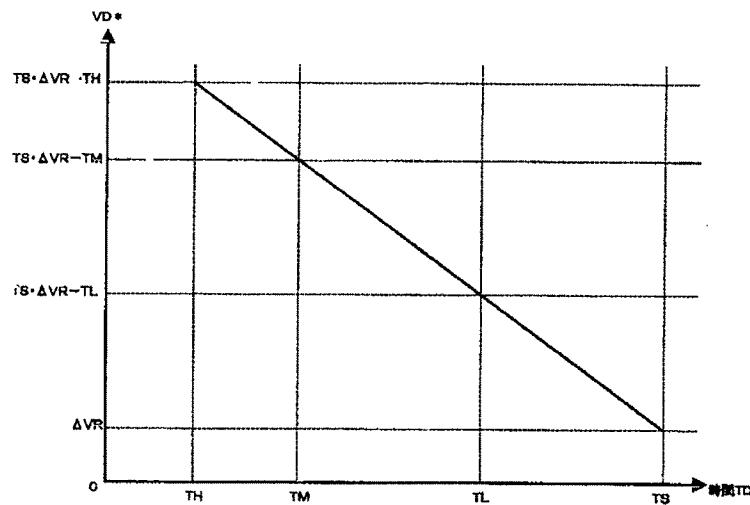


【図24】

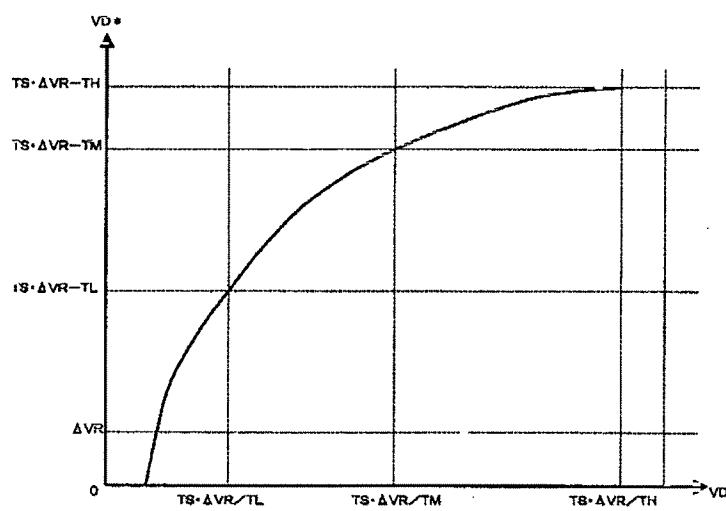


(31) 月2002-33962 (P2002-33962A)

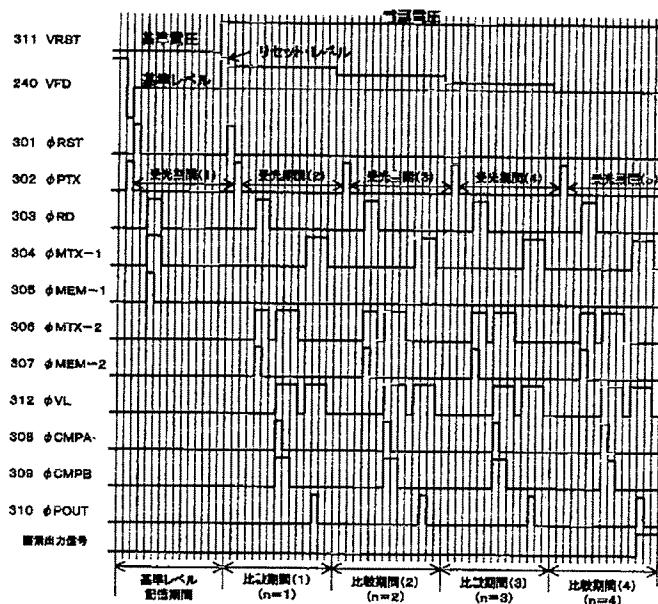
【図6】



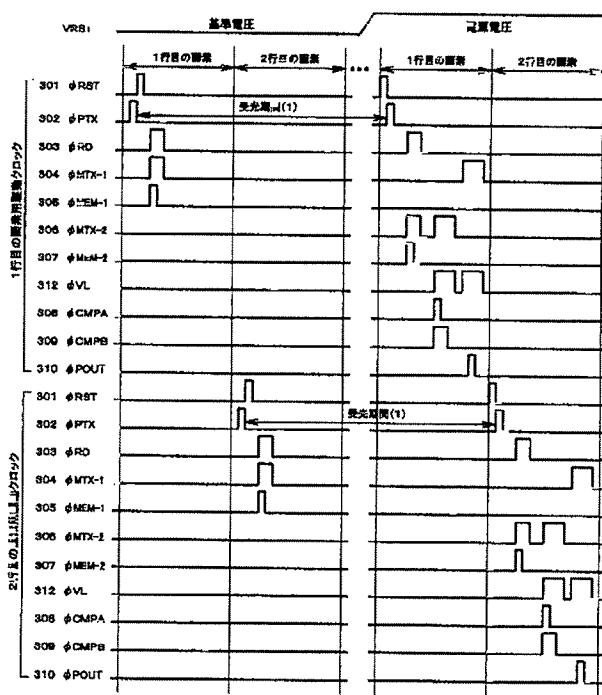
【図7】



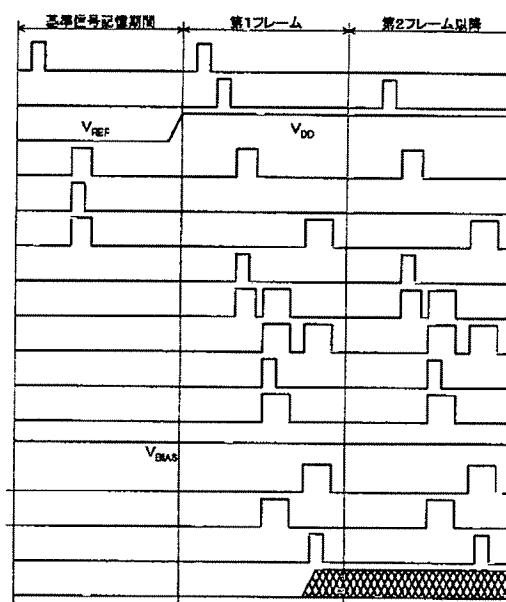
【図8】



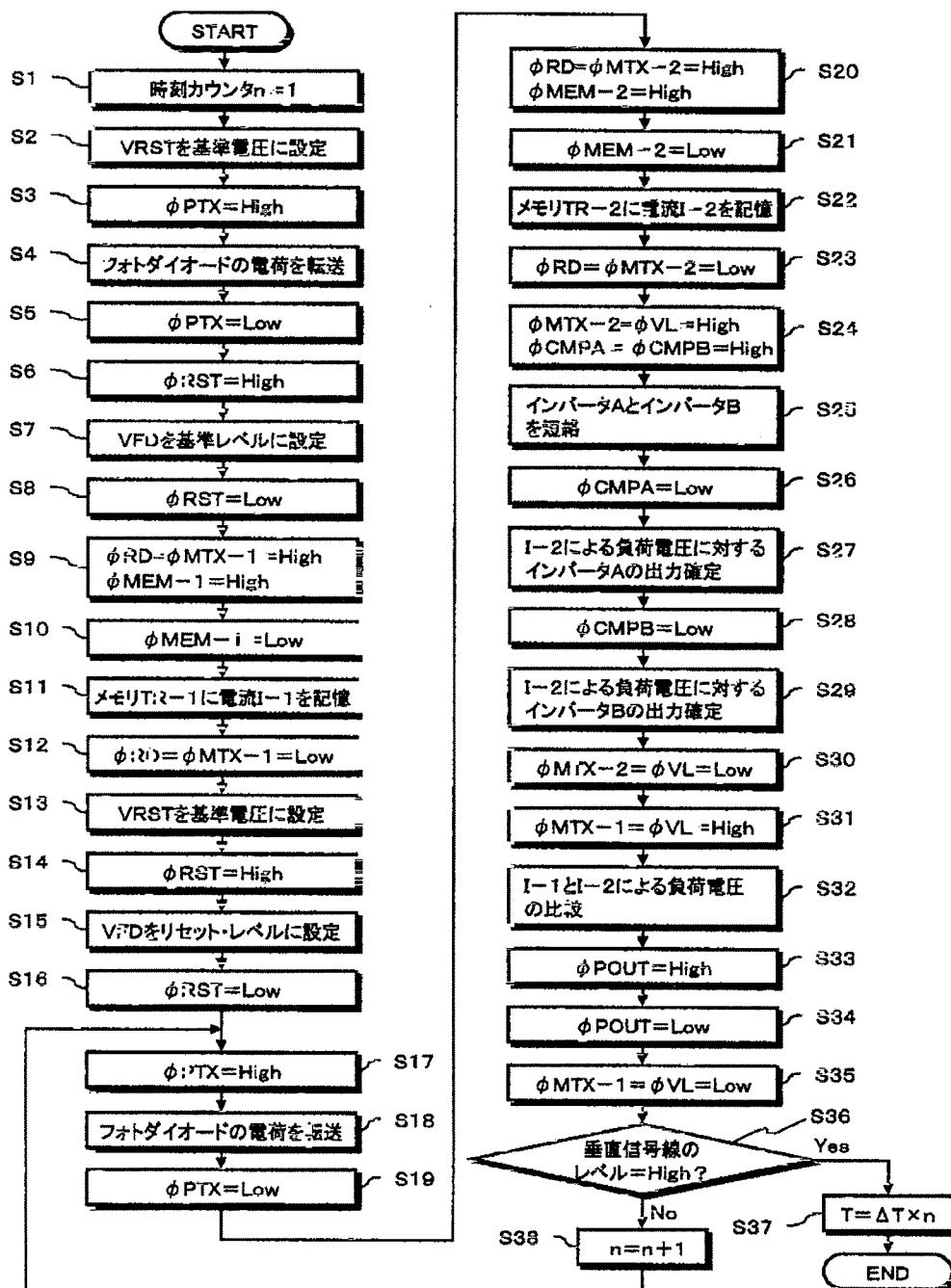
【図10】



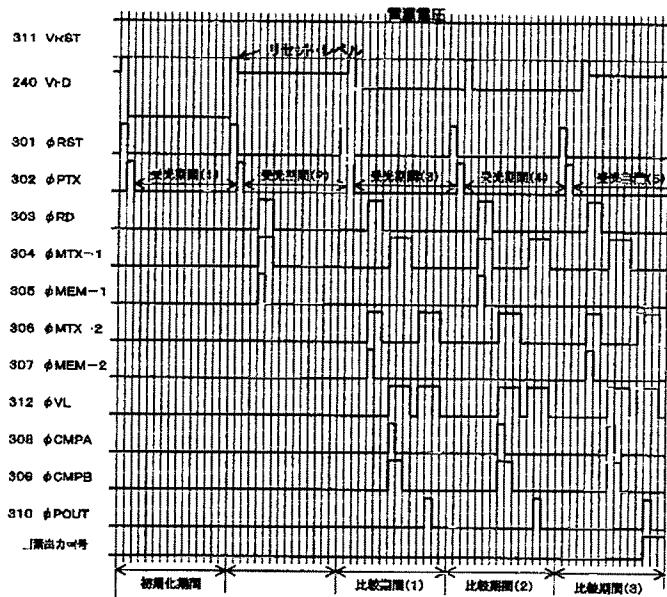
【図23】



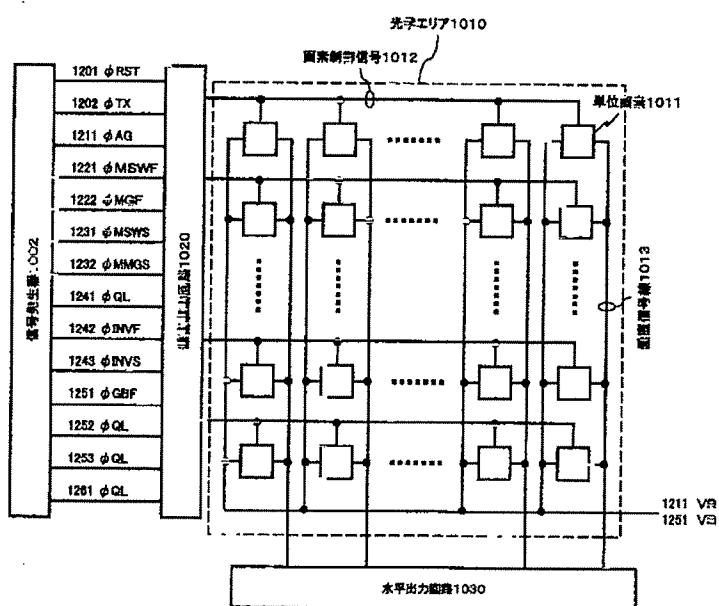
【図9】



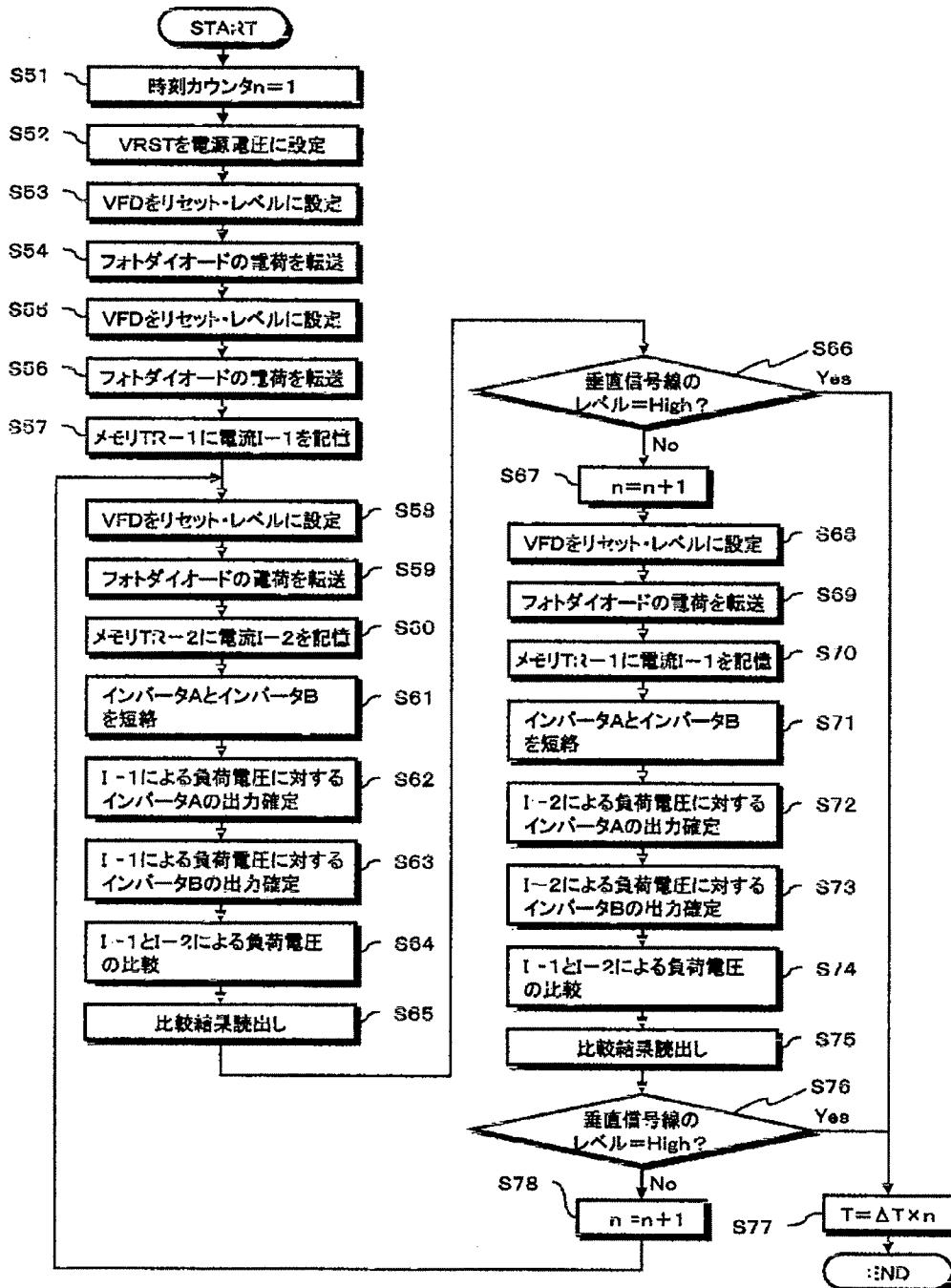
【図11】



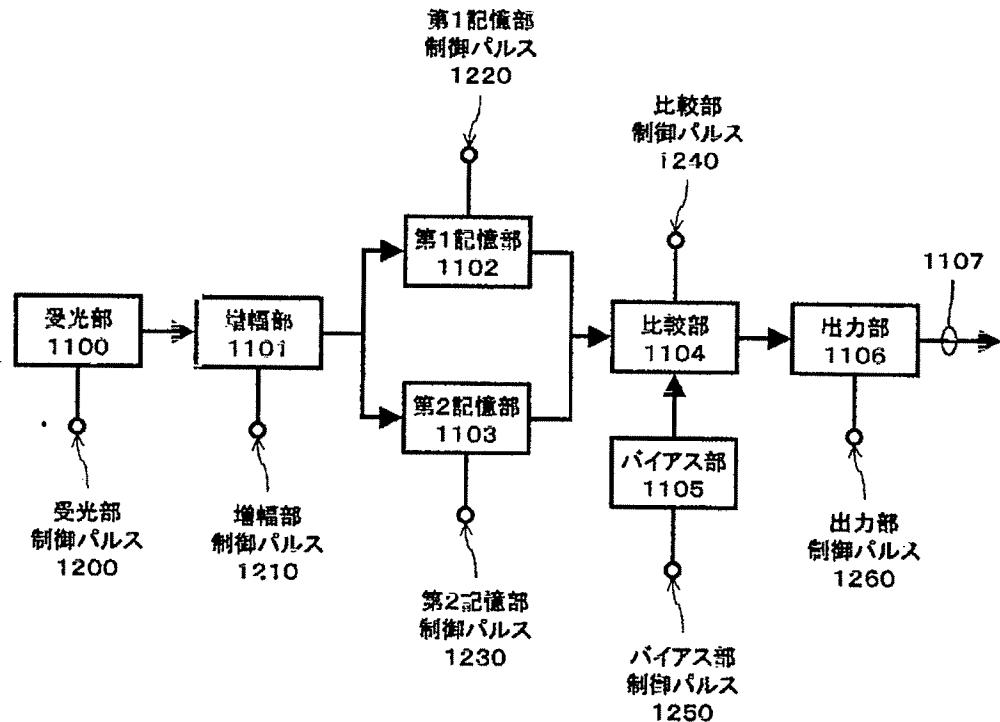
【図14】



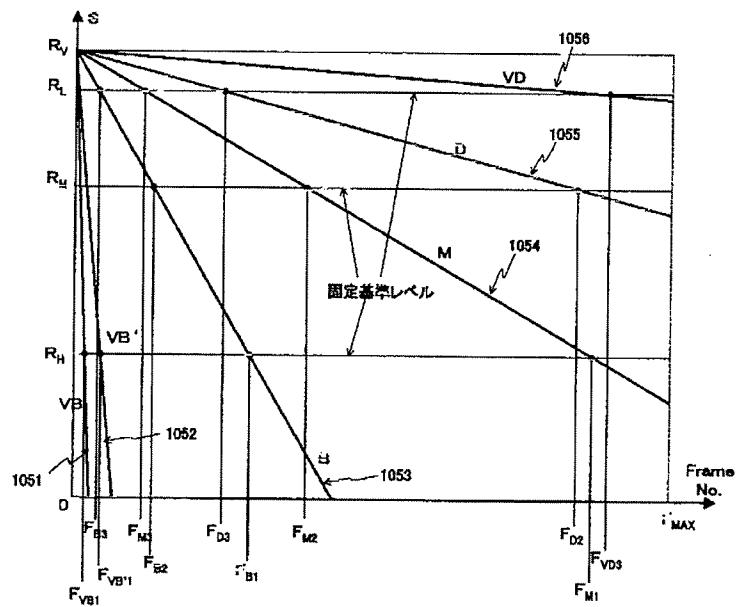
【図12】



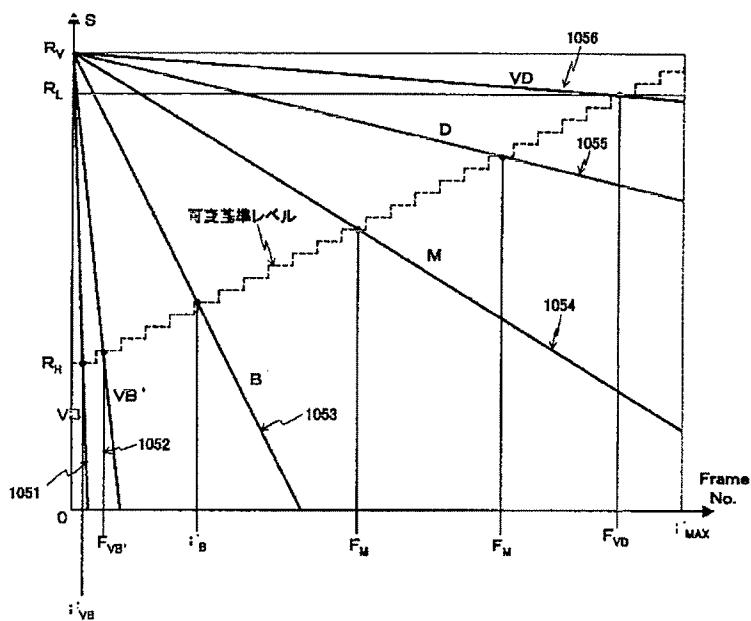
【図15】



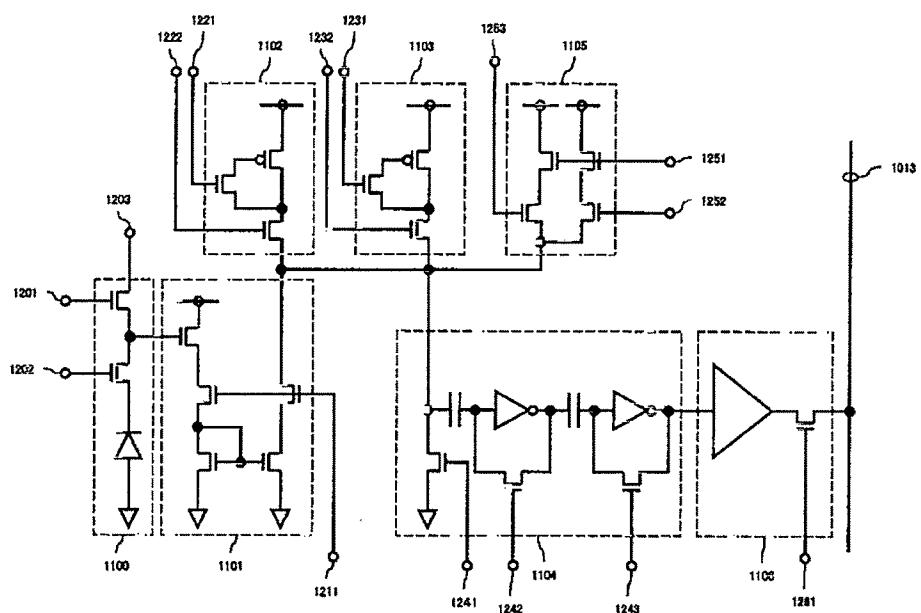
【図16】



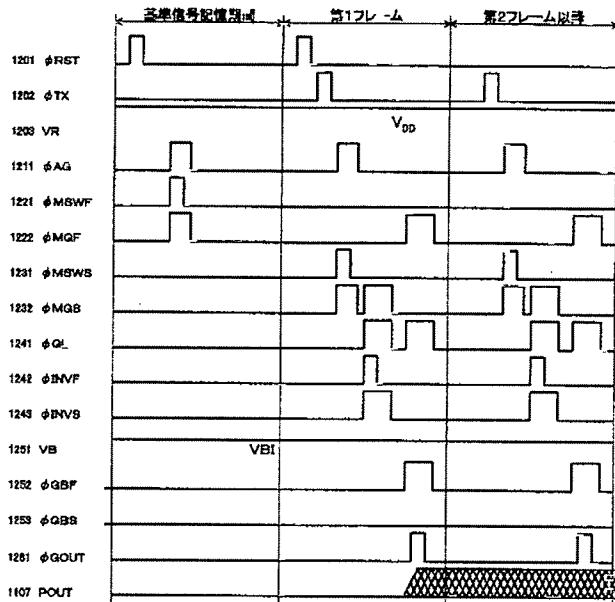
【図17】



【図18】



【図25】



## 【手続補正書】

【提出日】平成13年5月7日(2001.5.7)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

## 【補正内容】

【0050】図2には、撮像素子内に配列される画素1の内部構成を図解している。同図に示すように、画素1は、受光部10と、第1增幅部20と、第2增幅部30と、第1記憶部40-1から第k記憶部40-kまでのk個の記憶部と、負荷及び演算部50と、バイアス部55と、出力部60とで構成される。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0234

【補正方法】変更

## 【補正内容】

【0234】図15には、撮像素子1を構成する単位画素の構造を模式的に図解している。同図に示すように1つの画素は、受光部1100と、増幅部1101と、第1記憶部1102及び第2記憶部1103と、比較部1104と、バイアス部1105と、出力部1106とで構成される。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0273

【補正方法】変更

## 【補正内容】

【0273】また、図20には、図15に示した単位画素のうち、第1記憶部1102と第2記憶部1103の内部構成を詳細に示している。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0326

【補正方法】変更

## 【補正内容】

【0326】すなわち、第1バイアス・ゲート・パルス $\phi_{GBF}\ 1252$ や第2バイアス・ゲート・パルス $\phi_{GBS}\ 1253$ をロー・レベルに固定しておき、 $I_{BF} = I_{BS} = 0$ として、 $V_{REF}$ と $V_{DD}$ の差に相当する電流の差だけが基準信号レベルを決定することになる。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】図15

【補正方法】変更

## 【補正内容】

【図15】撮像素子100を構成する単位画素の構造を模式的に示した図である。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】図20

【補正方法】変更

## 【補正内容】

【図20】単位画素のうち 第1記憶部1102と第2

記憶部1103の内部構成を詳細に示した図である。

【手続補正7】

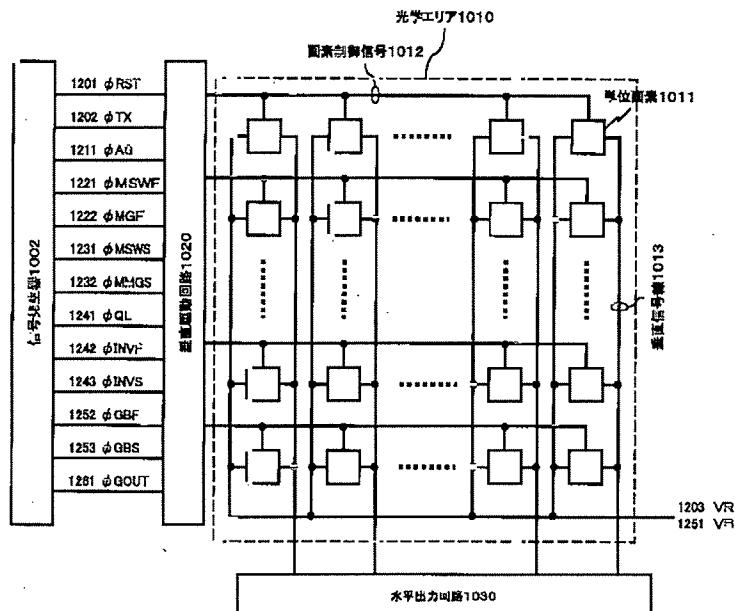
【補正対象書類名】図面

【補正対象項目名】図14

【補正方法】変更

【補正内容】

【図14】



【手続補正8】

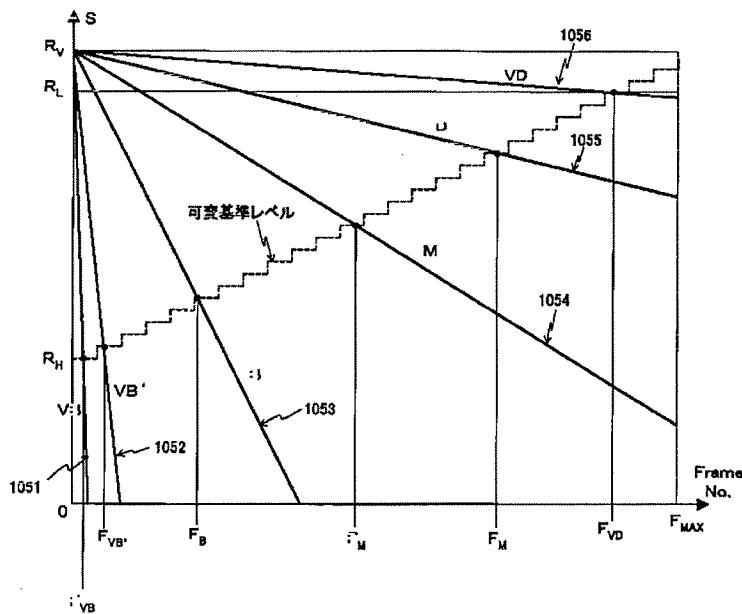
【補正対象書類名】図面

【補正対象項目名】図17

【補正方法】変更

【補正内容】

【図17】



【手続補正9】

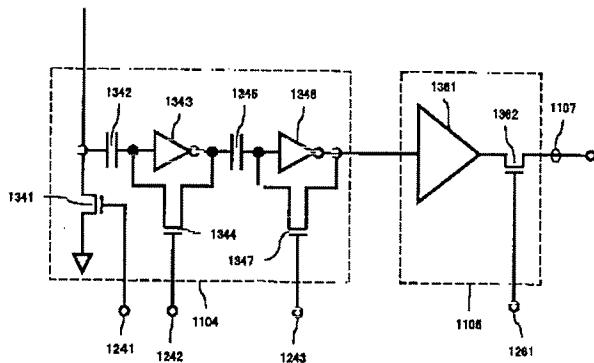
【補正対象書類名】図面

【補正対象項目名】図22

【補正方法】変更

【補正内容】

【図22】




---

フロントページの続き

(51) Int.C1.7	識別記号	F I	(参考)
H 0 1 L 27/146		H 0 3 M 1/18	
H 0 3 M 1/18		H 0 1 L 27/14	A

F ターム(参考) 2H002 DB06 JA07 ZA03  
 2H054 AA01  
 4M118 AA02 AA10 AB01 BA14 CA02  
 DB09 DD09 DD12 FA06 FA50  
 5C024 BX07 CX04 CX43 CY42 CY47  
 GY31 HX01 HX23 HX29 HX51  
 5J022 AA07 AB07 BA01 BA06 CD02  
 CF02 CF04 CF05 CF07 CG01  
 CG04